

# PATENT ABSTRACTS OF JAPAN

D0

(11)Publication number : 10-241553

(43)Date of publication of application : 11.09.1998

(51)Int.Cl. H01J 1/30  
H01J 9/02

(21)Application number : 09-041189

(71)Applicant : YAMAHA CORP

(22)Date of filing : 25.02.1997

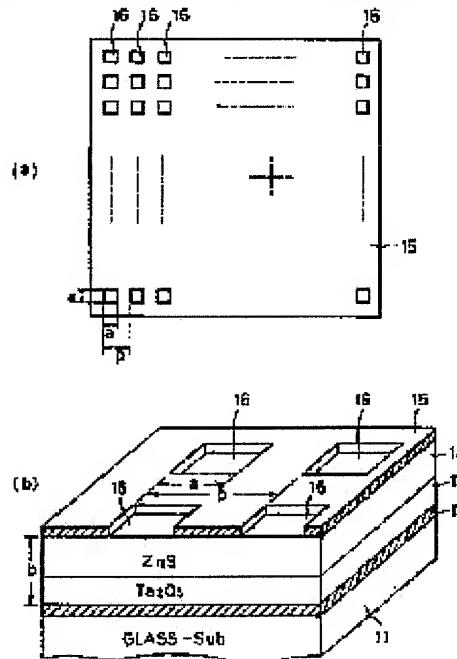
(72)Inventor : SUZUKI TOSHINAO  
SUZUKI KUNIO  
MOCHIZUKI OSAMU  
HATTORI ATSUI

## (54) COLD CATHODE TYPE FIELD EMISSION ELEMENT AND ITS MANUFACTURE

### (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a cold cathode type field emission element having a plane electron source and with which emitted electric current is increased and of which the electrode function is not deteriorated even by high temperature process for vacuum sealing and to provide a manufacturing method of the element.

**SOLUTION:** In this cold cathode type field emission element manufactured by arranging lower part electrodes 12 on an insulating substrate, forming an electron accelerating layer 14 is formed on the lower part electrodes 12 while setting an insulating layer 13 between the lower electrodes 12 and the electron accelerating layer 14, and upper part electrodes 15 are arranged on the electron accelerating layer 14; a large number of holes 6 are formed and arranged in a region in which the upper part electrodes 15 and the lower part electrodes 12 are on the opposite to each other and form a plane electron source.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平10-241553

(43)公開日 平成10年(1998)9月11日

(51)Int.Cl.<sup>a</sup>

H 0 1 J 1/30  
9/02

識別記号

F I

H 0 1 J 1/30  
9/02

M  
M

審査請求 未請求 請求項の数19 O L (全 17 頁)

(21)出願番号 特願平9-41189

(22)出願日 平成9年(1997)2月25日

(71)出願人 000004075

ヤマハ株式会社

静岡県浜松市中沢町10番1号

(72)発明者 鈴木 利尚

静岡県浜松市中沢町10番1号 ヤマハ株式  
会社内

(72)発明者 鈴木 国雄

静岡県浜松市中沢町10番1号 ヤマハ株式  
会社内

(72)発明者 望月 修

静岡県浜松市中沢町10番1号 ヤマハ株式  
会社内

(74)代理人 弁理士 伊丹 勝

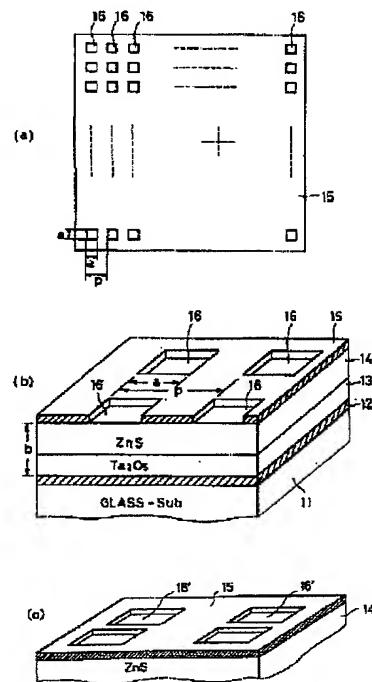
最終頁に続く

(54)【発明の名称】 冷陰極型電界放出素子及びその製造方法

(57)【要約】

【課題】 放出電流の増大を図ると共に、真空中封止のための高温プロセスにも電極機能が損なわれることがないようにした面電子源を持つ冷陰極型電界放出素子とその製造方法を提供する。

【解決手段】 絶縁性基板11上に下部電極12が配列形成され、この下部電極12が形成された面に絶縁層12を介して電子加速層13が形成され、電子加速層13上に上部電極15が配列形成された冷陰極型電界放出素子において、上部電極15の少なくとも下部電極12と対向して面電子源となる領域に多数の穴16を配列形成した。



## 【特許請求の範囲】

【請求項1】 少なくとも表面部に下部電極となる導電層を有する基板と、この基板の前記下部電極上に形成された電子加速層と、この電子加速層上に前記下部電極に対向するように形成されて前記下部電極との間に電圧を印加する上部電極とを有する冷陰極型電界放出素子において、

前記上部電極に複数の穴が形成されていることを特徴とする冷陰極型電界放出素子。

【請求項2】 少なくとも表面部に下部電極となる導電層を有する基板と、この基板の前記下部電極上に絶縁層を介して形成された電子加速層と、この電子加速層上に前記下部電極に対向するように形成された上部電極とを有し、前記上部電極と下部電極の間に交流電圧を印加して前記上部電極から前記電子加速層に注入された電子を加速して前記上部電極側から放出させるようにした冷陰極型電界放出素子において、

前記上部電極に複数の穴が形成されていることを特徴とする冷陰極型電界放出素子。

【請求項3】 前記上部電極の各穴の大きさは、前記上部電極と下部電極間の厚みの5倍以下に設定されていることを特徴とする請求項1または2に記載の冷陰極電界放出素子。

【請求項4】 少なくとも表面部に下部電極となる導電層を有する基板の前記下部電極上に電子加速層を形成し、この電子加速層上に前記下部電極に対向するように前記下部電極との間に電圧を印加する上部電極を形成する工程を有する冷陰極型電界放出素子の製造方法において、

前記上部電極に複数の穴を形成する工程を有することを特徴とする冷陰極電界放出素子の製造方法。

【請求項5】 前記上部電極に複数の穴を形成する工程は、前記上部電極上に耐エッチングマスクをパターン形成して前記上部電極を選択エッチングするものであることを特徴とする請求項4記載の冷陰極型電界放出素子の製造方法。

【請求項6】 前記上部電極に複数の穴を形成する工程は、前記上部電極形成に先だって前記電子加速層上の前記複数の穴に対応する位置に犠牲層をパターン形成し、その後上部電極を積層形成した後、前記犠牲層を除去することにより前記上部電極をリフトオフ加工するものであることを特徴とする請求項4記載の冷陰極型電界放出素子の製造方法。

【請求項7】 前記上部電極に複数の穴を形成する工程は、前記電子加速層をその表面に凹凸のある状態に形成し、この電子加速層上に前記凹凸を反映した凹凸を有する上部電極を形成し、この上部電極表面の凹部に耐エッチング材を埋め込み形成して前記上部電極を選択エッチングするものであることを特徴とする請求項4記載の冷陰極型電界放出素子の製造方法。

【請求項8】 前記上部電極に複数の穴を形成する工程は、前記電子加速層上に前記上部電極材料となる微粒子を分散させた溶液を塗布し、加熱焼成して多孔質の上部電極を形成するものであることを特徴とする請求項4記載の冷陰極型電界放出素子の製造方法。

【請求項9】 前記上部電極に複数の穴を形成する工程は、第1の上部電極材料膜を成膜した後、この第1の上部電極材料膜上に耐エッチングマスクをパターン形成して第1の上部電極材料膜を選択エッチングした後、第2の上部電極材料膜を成膜するものであることを特徴とする請求項4記載の冷陰極型電界放出素子の製造方法。

【請求項10】 前記上部電極に複数の穴を形成する工程は、前記上部電極上に耐エッティングマスクをパターン形成し、前記耐エッティングマスクをリフローさせた後、前記上部電極を選択エッチングするものであることを特徴とする請求項4記載の冷陰極型電界放出素子の製造方法。

【請求項11】 前記上部電極に複数の穴を形成する工程は、前記上部電極上に耐エッティングマスクをパターン形成し、前記耐エッティングマスクをエッチバックして穴径を増大させた後、前記上部電極を選択エッチングするものであることを特徴とする請求項4記載の冷陰極型電界放出素子の製造方法。

【請求項12】 前記上部電極に複数の穴を形成する工程は、前記上部電極上に犠牲膜を成膜し、次いで耐エッティングマスクをパターン形成し、前記犠牲膜を等方的にエッティングした後、前記上部電極を選択エッティングするものであることを特徴とする請求項4記載の冷陰極型電界放出素子の製造方法。

【請求項13】 前記上部電極に複数の穴を形成する工程は、前記上部電極上にP S G, B P S G等の低融点犠牲膜を成膜し、次いで耐エッティングマスクをパターン形成し、前記犠牲膜を等方的にエッティングし、前記犠牲膜をリフローさせた後、前記上部電極を選択エッティングするものであることを特徴とする請求項4記載の冷陰極型電界放出素子の製造方法。

【請求項14】 前記上部電極に複数の穴を形成する工程は、前記上部電極上に第1の犠牲膜を成膜し、次いで耐エッティングマスクをパターン形成し、前記第1の犠牲膜を等方的にエッティングした後、第2の犠牲膜を成膜し、前記第2の犠牲膜をエッチバックし、前記第1の犠牲膜の側壁にサイドスペーサを形成した後、前記上部電極を選択エッティングするものであることを特徴とする請求項4記載の冷陰極型電界放出素子の製造方法。

【請求項15】 前記上部電極に複数の穴を形成する工程は、前記上部電極上に第1の犠牲膜を成膜し、次いで耐エッティングマスクをパターン形成し、前記第1の犠牲膜を等方的にエッティングした後、S O G等を第2の犠牲膜として塗布し、前記第2の犠牲膜をエッチバックした後、前記上部電極を選択エッティングするものであること

を特徴とする請求項4記載の冷陰極型電界放出素子の製造方法。

【請求項16】前記上部電極に複数の穴を形成する工程は、前記上部電極上に第1の犠牲膜を成膜し、次いで耐エッチングマスクをパターン形成し、前記第1の犠牲膜を等方にエッチングした後、第2の犠牲膜を成膜し、前記第2の犠牲膜をエッチバックし、前記第1の犠牲膜の側壁にサイドスペーサを形成し、前記第1の犠牲膜を選択的に除去した後、前記上部電極を選択エッチングするものであることを特徴とする請求項4記載の冷陰極型電界放出素子の製造方法。

【請求項17】前記上部電極に複数の穴を形成する工程は、前記上部電極上に第1の犠牲膜を成膜し、次いで耐エッチングマスクをパターン形成し、前記第1の犠牲膜を等方にエッチングした後、SOG等を第2の犠牲膜として塗布してエッチバックを行い、前記第1の犠牲膜を選択的に除去した後、前記上部電極を選択エッチングするものであることを特徴とする請求項4記載の冷陰極型電界放出素子の製造方法。

【請求項18】前記上部電極に複数の穴を形成する工程は、前記上部電極として低融点導電材料膜を成膜し、次いで耐エッチングマスクをパターン形成し、前記上部電極を等方にエッチングした後、前記上部電極をリフローさせるものであることを特徴とする請求項4記載の冷陰極型電界放出素子の製造方法。

【請求項19】前記上部電極に複数の穴を形成する工程は、前記上部電極に前記電子加速層が露出するように穴を形成した後、厚さ10nm以下の導電性電極材料膜を形成する工程を含むことを特徴とする請求項4記載の冷陰極型電界放出素子の製造方法。

#### 【発明の詳細な説明】

##### 【0001】

【発明の属する技術分野】この発明は、平面ディスプレイ等に適用される、面電子源を用いた冷陰極型電界放出素子及びその製造方法に関する。

##### 【0002】

【従来の技術】近年、液晶ディスプレイに代わる平面ディスプレイとして、冷陰極電子源を二次元マトリクス状に配列した電子源アレイを用いたFED(Field Emission Display)が注目され、各所で研究開発が行われている。冷陰極電子源の方式は、大きく分けて、先端を針のように尖らせたスピント(Spindt)方式に代表される点電子源と、平面から電子を取り出す面電子源との二つがある。これらのうち、点電子源は取り出せる電流は大きいが、雑音に弱く、残留ガスの吸着・脱離等の影響が大きく、また電子ビームが拡がるために集束手段を必要とするといった難点がある。一方で電子源は、取り出せる電流は小さいが、低雑音・高安定の動作が可能で、電子ビームが拡がることなく放出されるため集束手段も要らないといった長所を有する。従って、FED等には面電

子源が好ましい。

【0003】面電子源は、上下電極間の電界印加により加速電子を得て上部電極を透過させて電子を取り出すが、その加速電子を生成するための層の構造によって、以下に列記するようなものがある。

①図33(a)に示すように、上下電極1, 2間に薄い絶縁層3を挟んだMIM(Metal Insulator Metal)構造として、高電界により絶縁膜3をトンネリングした電子を取り出す方式(例えば、日本学術振興会真空マイクロエレクトロニクス第158委員会第5回研究会資料p. 1~6参照)。

②図33(b)に示すように、上下電極1, 2間にPN接合を形成する半導体層4a, 4bを有する構造を用い、高電界によりアバランシェブレークダウンを起こしてホットエレクトロンを生成するPN接合素子方式(例えば、1991年1月発行の「電子材料」p. 34参照)。

③図33(c)に示すように、上下電極1, 2の間に上部電極1との間でショットキー接合を構成する半導体層5を挟み、高電界によりアバランシェブレークダウンを起こしてホットエレクトロンを生成するショットキー接合素子方式(例えば、1990年電子情報通信学会秋季全国大会, SC-8-6参照)。

④図33(d)に示すように、上下電極間1, 2に絶縁層6と半導体層7を挟んだMOS(Metal Insulator Semiconductor)構造を用い、高電界により絶縁層6をトンネリングした電子を取り出す方式(例えば、1990年電子情報通信学会秋季全国大会, SC-8-7参照)。

⑤図34(e)に示すように、上下電極間1, 2に電子加速層8と絶縁層9を挟んだEL(Electro Luminescence)素子構造を用い、電子加速層8でホットエレクトロンを生成する方式(例えば、「応用物理」第63巻第6号(1994)P. 592~P. 595参照)。

##### 【0004】

【発明が解決しようとする課題】上述した①~⑤の面電子源は、上述したようにFED用として好ましい長所を有するが、実用化のためにはまだ解決すべき問題がある。一つは、素子内部に流れる電流に対する外部に取り出される電流の割合が、点電子源に比べて小さいことである。これは、電子を透過させるAuやAl等の上部電極での電子散乱が大きいためである。散乱を小さくするために、上部電極には10nm以下という薄膜が用いられるが、これでも十分な放出電子が得られない。もう一つは、FED等への適用のためには電子源アレイを低融点ガラス等により真空封止することが必要であるが、その際に面電子源アレイを400°C以上に加熱しなければならず、10nmといった薄い上部電極はこの熱処理工程で膜が凝集して、電極の機能が損なわれるということである。これらは、①~⑤のいずれを用いる場合にも共通

の問題としてある。

【0005】上述した①～⑤の面電子源に対して、上部電極での電子散乱の問題を解決できるものとして、図3-4に示すように上下電極1、2間に絶縁層3を挟んだMIM構造において、上部電極1と絶縁層3とにわたってこれらを貫通するピンホール10を配列形成した陰極構造も提案されている（特開平6-203772号公報参照）。しかしこの構造は、ピンホール10内に露出する下部電極2から真空中への電界による電子放出を利用するもので、固体中のホットエレクトロンを利用する①～⑤とは異なり、真空管の原理を利用している点でスピント型に近い。しかし、スピント型のように先端が尖っていないため、形状による電界集中を利用できず、絶縁層3の厚みが $1\text{ }\mu\text{m}$ として $1\text{ kV}$ 程度の電圧が必要になるという問題を有する。

【0006】この発明は、上記事情を考慮してなされたもので、放出電流の増大を図ると共に、真空封止のための高温プロセスにも電極機能が損なわれることがないようとした面電子源を持つ冷陰極型電界放出素子とその製造方法を提供することを目的としている。

【0007】

【課題を解決するための手段】この発明は、少なくとも表面部に下部電極となる導電層を有する基板と、この基板の前記下部電極上に形成された電子加速層と、この電子加速層上に前記下部電極に対向するように形成されて前記下部電極との間に電圧を印加する上部電極とを有する冷陰極型電界放出素子において、前記上部電極に複数の穴が形成されていることを特徴とする。この発明はまた、少なくとも表面部に下部電極となる導電層を有する基板と、この基板の前記下部電極上に絶縁層を介して形成された電子加速層と、この電子加速層上に前記下部電極に対向するように形成された上部電極とを有し、前記上部電極と下部電極の間に交流電圧を印加して前記上部電極から前記電子加速層に注入された電子を加速して前記上部電極側から放出させるようにした冷陰極型電界放出素子において、前記上部電極に複数の穴が形成されていることを特徴とする。この発明において好ましくは、前記上部電極の各穴の大きさは、前記上部電極と下部電極間の厚みの5倍以下に設定される。

【0008】この発明はまた、少なくとも表面部に下部電極となる導電層を有する基板の前記下部電極上に電子加速層を形成し、この電子加速層上に前記下部電極に対向するように前記下部電極との間に電圧を印加する上部電極を形成する工程を有する冷陰極型電界放出素子の製造方法において、前記上部電極に複数の穴を形成する工程を有することを特徴とする。前記上部電極に複数の穴を形成する工程として、具体的には次のような工程を用い得る。

(a) 前記上部電極上に耐エッチングマスクをパターン形成して前記上部電極を選択エッチングする。

(b) 前記上部電極形成に先だって前記電子加速層上の前記複数の穴に対応する位置に犠牲層をパターン形成し、その後上部電極を積層形成した後、前記犠牲層を除去することにより前記上部電極をリフトオフ加工する。

(c) 前記電子加速層をその表面に凹凸のある状態に形成し、この電子加速層上に前記凹凸を反映した凹凸を有する上部電極を形成し、この上部電極表面の凹部に耐エッチング材を埋め込み形成して前記上部電極を選択エッチングする。

(d) 前記電子加速層上に前記上部電極材料となる微粒子を分散させた溶液を塗布し、加熱焼成して多孔質の上部電極を形成する。

【0009】この発明による面電子源構造では、上部電極に複数の穴を形成しており、この穴の大きさやピッチを最適化することによって、穴の部分においても電子加速層には大きな電界がかかり、電子加速層で加速された電子がこれらの穴から放出される。従って従来のように上部電極での散乱がなくなるため、上部電極を透過させて電子を取り出す従来方式に比べて1桁程度の放出電流

20 の増加が可能となる。またこの発明においては、電子放出が上部電極の穴を通して行われるから、上部電極を薄くする必要はなく、従って、低融点ガラス等により封止する場合に高温プロセスにさらされても、上部電極の導通が失われることはない。更にこの発明のものは、電極から真空中に直接電子を電界放出させる真空管方式と異なり、固体の電子加速層で電子を加速して取り出す方式であるから、残留ガスの陰極への悪影響がなく、雑音が少なく、また面電子源構造であって電子をほぼ垂直に取り出すことができるといった長所を有し、F E D 等に最適な冷陰極電子放出素子となる。

30

【0010】この発明において、上部電極に形成する穴は小さい程好ましく、実験によれば、電子加速層を含む上下電極間の厚みの5倍以下に設定することにより、従来の上部電極を透過させる方式に比べて放出電流増加に有意差が認められる。穴の大きさの下限は、加工限界により制限される。

【0011】なおこの明細書において、“電子加速層”は、図33(e)のEL素子型におけるように、交流駆動による上部電極からの注入電子を加速する電子加速層の他、図33(b)、(c)に示すような、アバランシェのためのPN接合やショットキー接合を構成する半導体層、更に図33(a)、(d)に示すMIM型やMOS型におけるトンネリングを利用する絶縁層をも含む意味で用いている。即ちこの発明は、図33(a)～(e)のいずれの型にも適用される。

[0 0 1 2]

【発明の実施の形態】以下、図面を参照して、この発明を E L 素子型の冷陰極型電界放出素子に適用した実施例を説明する。図 1 (a), (b) は、電子源を二次元的に配列形成した実施例の電界放出素子の平面図とその A

—A' 断面図である。ガラス、石英等の絶縁性基板11上に、ITO膜を用いた下部電極12が所定間隔で配列形成され、これを覆うように絶縁層13を介して電子加速層14が形成されている。絶縁層13はTa<sub>2</sub>O<sub>5</sub>であり、電子加速層14はこの実施例ではZnSまたはZnSe等の半導体層である。電子加速層14として、Y<sub>2</sub>O<sub>3</sub>のような絶縁層を用いることもできる。電子加速層14の上には、Au膜またはAl膜を用いた上部電極15が下部電極とは交差する方向に配列形成されている。

【0013】図1(a)に斜線で示したように、上部電極15と下部電極12とが対向する各交差部が、FED応用の場合の1画素に対応する一つの面電子源であって、図2(a)はその一つの面電子源部分を拡大して示した平面図であり、同図(b)は更にこれを拡大して一部切欠して示す斜視図である。図示のようにこの実施例では、上部電極15の少なくとも下部電極12と対向する面電子源の領域に、多数の正方形状の穴16が配列形成されている。穴16の大きさは例えば、 $a = 1 \mu\text{m}$ であり、これがピッチ $p = 2 \mu\text{m}$ でマトリクス状に配列形成される。この様な穴16を $1000 \times 1000$ 個配列したとき、面電子源の面積は $2 \times 2 \text{mm}^2$ となり、複数の穴16の総面積の電子源面積に対する比率(以下、開口率という)は、約 $1/4 (= 25\%)$ となる。なお、穴16の形状は正方形に限らず、図2(c)に示したような長方形状(細長い形状)の穴16'でもよい。

【0014】なお、上部電極15に形成される穴16の大きさは、後に具体的データを用いて詳細に説明するが、小さい方がよく、好ましくは、電子加速層14と絶縁層13の合計厚みbの5倍以下にする。また、穴16の幅と間隔をほぼ等しくすると、開口率は約 $1/4$ となる。穴16の形状は、矩形である必要はなく、丸い穴であってもよい。穴16の配列はマトリクス状に規則的であることも必ずしも必要ではなく、ランダムに配置されてもよい。これらの穴形状や配列は、以下に例示するように、具体的な製造方法により適宜選択することができる。

#### 【0015】実施例1

図3(a)に示すように、絶縁性基板11上にITO膜を蒸着し、これをリソグラフィ工程を用いてストライプ状にパターニングして下部電極12を形成する。下部電極12が形成された基板上に、図3(b)に示すように、絶縁層13としてTa<sub>2</sub>O<sub>5</sub>をスパッタ法により $0.3 \mu\text{m}$ 堆積し、引き続き図3(c)に示すように、ホットウォール法またはスパッタ法により電子加速層14としてZnSを $0.7 \mu\text{m}$ 堆積する。その後、図4(a)に示すように、電子加速層14上に上部電極15となるAu膜をスパッタ法により $10 \text{nm}$ 以上、好ましくは $10 \sim 100 \text{nm}$ の厚み堆積し、その上に図4(b)に示すように、フォトレジストパターン17を形成する。レジストパターン17は例えば、ノボラック系ポジ型レジ

10

20

30

40

50

ストを用い、NA=0.5のi線ステップにて露光し、TMAH 2.38%のアルカリ現像液で現像する。

【0016】レジストパターン17は例えば、図5の斜視図を示すように、 $1 \mu\text{m}$ 角の窓18が $2 \mu\text{m}$ ピッチでマトリクス状に配列形成されたものとする。但し、これらの製造工程図は、一つの面電子源の要部について示したものであり、実際にはレジストパターン17は、図1で説明したように上部電極15をストライプ状にパターニングするための窓も有する。このレジストパターン17を用いてAu膜をイオンミリング装置によりエッティングして、図4(c)に示すように、電子加速層14を露出する多数の穴16が配列された上部電極15を形成する。レジストパターン17は、O<sub>2</sub>アッシャーにより、或いは剥離液、硫酸+過酸化水素水等で除去する。

#### 【0017】実施例2

上部電極15のパターニングにリフトオフ法を適用した製造方法の工程図を図6に示す。電子加速層14を形成する図3(c)までは実施例1と同じであり、その後電子加速層14に上部電極膜を形成する前に、リフトオフの犠牲膜となるフォトレジストパターン17aを形成する(図6(a))。このときレジストパターン17aは、図7に示すように例えば $1 \mu\text{m}$ φの円形パターンが $2 \mu\text{m}$ ピッチでマトリクス状に配列されたものとする。この後、上部電極15となるAu膜をスパッタにより $10 \sim 20 \text{nm}$ 堆積する(図6(b))。スパッタによるAu膜はステップカバレージが悪く、図示のようにレジストパターン17aの側壁底部では膜厚が薄くなる。これをレジスト剥離液に浸漬すると、剥離液はAu膜の薄いレジスト側壁から侵入して、レジストパターン17aを溶解し、その上のAu膜をリフトオフして、電子加速層14を露出するように形成された穴16を有する上部電極15を得ることができる(図6(c))。

#### 【0018】実施例3

電子加速層14としてZnS層或いはZnSe層を用いた場合、これらは多結晶であるために、表面には高さ $0.2 \sim 0.5 \mu\text{m}$ の周期的凹凸が形成されることが多い。図8はこのことを示すZnS層表面のSEM写真である。この表面の凹凸を利用してセルフアラインで上部電極15に穴16を開ける方法の工程図を図9及び図10に示す。

【0019】実施例1、2と同様の工程に従って、電子加速層14としてZnS層を形成した状態で、図9(a)に示すように表面には凹凸ができる。この後、上部電極15となるAu膜をその表面に凹凸が反映するよう $0.1 \mu\text{m}$ 堆積し(図9(b))、更にフォトレジスト17bを塗布してベークし、表面を平坦化する(図9(c))。次いで、フォトレジスト17bを例えば、O<sub>2</sub>プラズマ雰囲気中でRIEにより、凹部にフォトレジスト17bが残り、凸部のフォトレジスト17bが除去されるようにエッティングする(図10(a))。そし

て凹部に埋め込まれた状態のフォトトレジスト 17 b をマスクとして Au 膜をエッチングすることにより、電子加速層 14 を露出するように形成された穴 16 を有する上部電極 15 をパターニングする事ができる（図 10 (c)）。なおこの方法は、電子加速層 14 の表面が平坦である場合に、その表面に凹凸を人為的に例えればエッチング等により形成して適用することもできる。また、フォトトレジスト 17 b に代わって、ポリイミド等の他の有機材料や SOG (Spin On Glass) 等の無機材料を用いることが可能である。

#### 【0020】実施例 4

穴開き上部電極 15 として多孔質層を利用する方法の工程図を図 11 に示す。電子加速層 14 を形成するまでは、実施例 1～3 と同じである。電子加速層 14 の上に、Au 微粒子を分散させた溶液 19 を塗布する（図 11 (a)）。具体的には例えば、平均粒径 8 nm の Au 微粒子を含む溶液パーフェクトゴールド（商品名；真空冶金（株）製）をトルエンで希釈してスピンコーティングする。そして、300°C, 30 分程度加熱焼成する。これにより、0.1 μm 程度の微小な穴 16 が多数開いた多孔質の上部電極 15 が得られる（図 11 (b)）。図 12 は、実際にこの方法で形成された上部電極の SEM 写真である。

【0021】次に、各実施例により得られる電界放出素子の具体的な動作と特性データを詳細に説明する。実施例の電界放出素子は、図 13 に示すように、蛍光層 32 を形成したアノード 31 に対向するカソードとして、全体を真空封止して用いられる。この実施例の場合、電界放出素子は EL 素子であって、上部電極 15 と下部電極 12 の間に交流電圧 VCC（具体的には図 15 に示すようなパルス電圧）が印加され、上部電極 15 とアノード 21 の間にはアノード電圧 Va が印加される。

【0022】図 14 は、EL 素子型の電子放出素子の電子放出の原理を示すバンド図である。下部電極 (ITO) 12 側が正のとき、図 14 (a) に示すように、上部電極 (Au) 15 から電子加速層 (ZnS) 14 に電子が注入され、注入された電子は絶縁層 (Ta2O5) 13 との界面にトラップされる。下部電極 12 が負になると、図 14 (b) に示すように、トラップされていた電子が飛び出して電子加速層 14 で加速されて高エネルギーを得て、上部電極 15 を透過して放出される。上部電極 15 を 100 nm 程度と厚くした場合には、電子は上部電極 15 を透過して放出されることなく、従ってこの実施例の場合上部電極 15 の穴 16 を通してのみ電子放出される。図 15 (b) には、この電子放出によるカソードルミネセンス波形を示している。これは蛍光層 32 として、ZnS : Ag を用い、VCC としてパルス幅 100 μs のパルス電圧を用い、Va = 4 kV を与えた場合の例である。

#### 【0023】具体的に、実施例 1 による試作素子について

て、パルス電圧値 VCC (絶対値) と、蛍光層 32 の輝度の関係を測定した結果を図 16 に示す。これは上部電極 15 の厚みが 100 nm、穴 16 は  $a = 1 \mu\text{m}$  でピッチ  $p = 2 \mu\text{m}$  の場合である。比較例は、上部電極として 10 nm の Au 連続膜を用いた他、実施例 1 と同様の素子条件によるものである。図から明らかなように、実施例 1 の素子では比較例に比べて、約 3 倍の輝度が得られている。

【0024】先に挙げた従来例①によれば、10 nm の Au 膜によって、外部に放出される電子電流は約 1/10 に減衰される。実施例 1 の場合、開口率が約 1/4 であり、 $1 \mu\text{m}$  角の穴からのみ均一に電子が放出されるとすれば、10 nm の Au 連続膜を形成した比較例に対して、2.5 倍の強度の電子電流が得られるはずであり、図 16 の実験データと概ね合致する。しかし、後に説明するシミュレーション結果から、この実施例の素子は穴全体から均一に電子が放出しているとは考えられず、従来とは異なる状態（例えば、穴に露出する ZnS 層の ZnS - 真空界面の状態等）が放出電流増大に寄与している可能性がある。いずれにしても、上部電極に穴を配列形成することにより、放出電流を増加させる効果があることが実証された。

【0025】実施例 2 による電界放出素子の場合の同様のデータを、図 17 に示す。図 6 及び図 7 では丸い穴を形成する例を示しているが、このデータは実施例 1 と同様に  $1 \mu\text{m}$  角の穴を  $2 \mu\text{m}$  ピッチで形成した素子の場合である。上部電極 Au 膜は 10 nm のものと 20 nm のものを用意したが、これらに有意差はなかった。比較例は図 16 と同じである。この実施例 2 の素子も同様に放出電流の増加が認められる。

【0026】実施例 3 及び実施例 4 による電界放出素子の同様のデータをそれぞれ、図 18 及び図 19 に示す。実施例 3 の素子は、上部電極の穴の大きさ及び配列にばらつきがあるが、開口率は約 1/4 である。実施例 1, 2 とほぼ同様の放出電流増加が認められる。実施例 4 の素子は、比較例に対してそれほど大きな放出電流増大は得られていないが、開口率が小さかったこと等が理由と考えられ、製造条件を最適化すれば、一層の効果が期待される。

【0027】次に、実施例 1 の素子について、穴 16 の大きさを  $a = 1, 3, 5 \mu\text{m}$  と異ならせたものを作り、これらについてパルス電圧 VCC をパラメータとして輝度を測定したデータを図 20 に示す。 $a = 1, 3, 5 \mu\text{m}$  に対応してそれぞれピッチ  $p = 2, 6, 10 \mu\text{m}$  としている。従って開口率はいずれも、約 1/4 である。図の穴径 0 のデータは、図 16～図 19 に示した比較例のものである。この結果から、 $a = 3 \mu\text{m}$  の場合に、ほぼ比較例と同等の輝度となっている。 $a = 5 \mu\text{m}$  の場合にも、穴の間隔を 1～3  $\mu\text{m}$  と小さくして開口率を大きくすれば、比較例より大きな輝度を得ることは可能である。

る。但し開口率を余り大きくすると、上部電極15の抵抗値が大きくなるので、抵抗値増加が問題にならない範囲で大きくすることが好ましい。

【0028】図20のデータから、穴の大きさを $1\text{ }\mu\text{m}$ 以下とすれば、更に放出電流が増すことが予想される。そこで、 $a = 1\text{ }\mu\text{m}$ 以下の場合を含めて、等電位線分布のシミュレーションを行った。そのデータを、図21及び図22に示す。図21(a)は、 $a = 2\text{ }\mu\text{m}$ ,  $p = 3\text{ }\mu\text{m}$ の場合、図21(b)は $a = 1\text{ }\mu\text{m}$ ,  $p = 2\text{ }\mu\text{m}$ の場合である。また図22(a)(b)(c)は $a = 0.5\text{ }\mu\text{m}$ ,  $0.2\text{ }\mu\text{m}$ ,  $0.1\text{ }\mu\text{m}$ とし、ピッチ $p$ をいずれも $2\text{ }\mu\text{m}$ とした場合である。これらのシミュレーションは、絶縁層13と電子加速層14をまとめて同じ絶縁層として単純化して、上部電極15と下部電極12との間の等電位線分布を求めたものである。

【0029】以上のシミュレーションデータから、 $a = 2\text{ }\mu\text{m}$ の場合、穴部では等電位線が殆ど外部(真空)に飛び出しており、穴内部の電界は上部電極直下に比べて小さく、従ってこの場合、穴の周辺部からの電子放出が多くなる。穴の大きさを小さくする程、穴中央の電界は上部電極直下の電界に近づき、穴からの電子放出が大きくなることが分かる。

【0030】図20のデータから、開口率を考慮して $a = 5\text{ }\mu\text{m}$ まで有効とすると、このとき、絶縁層13と電子加速層14の合計厚み、即ち上部電極15と下部電極12間の厚みが $b = 1\text{ }\mu\text{m}$ であるから、 $a/b$ は5である。素子のサイズを全体の形状を保持したまま拡大或いは縮小しても、等電位線分布は変わらないから、 $a/b \leq 5$ の範囲に設定することが従来より大きな放出電流を得る上で好ましいことが分かる。 $a/b$ の下限は、加工限界により決まる。

【0031】また、上部電極15の厚みを $100\text{ nm}$ 程度とすれば、 $400^{\circ}\text{C}$ 程度の高温プロセスにも耐えることができる。具体的に実施例1による電界放出素子を蛍光層付きのアノード板に対向させて低融点ガラスで封止してディスプレイを試作した。ガラス封止は、 $\text{N}_2$ ガス中で $400^{\circ}\text{C}$ 加熱により行った。なおアノード板側には、予めガラス管を取り付けておき、このガラス管を用いて真空排気した後、ガラス管をバーナーで焼き切ることにより真空封止した。この結果、電子放出による発光が確認され、上部電極が正常に導通を保っていることが確認された。上部電極が $10\text{ nm}$ である上述の比較例の素子を用いて同様の条件でディスプレイを作ったが、動作不能となり、解析の結果上部電極Auが凝集して電極機能を失っていることが確認された。

【0032】この発明において、上部電極を薄くすれば、上部電極を透過した電子放出も見込めることから、より放出電流が増加する。従って、 $400^{\circ}\text{C}$ 程度の加熱処理に耐えられる範囲で上部電極をできる限り薄くすることは好ましい。またここまで説明した実施例では、上

部電極15に設けられる穴16の底部には、電子加速層14が露出する状態としたが、例えば実施例1において、穴16の底部の電極材料を完全にエッティングすることは必ずしも必要ではない。穴16の底部に残す電極膜は $7\text{ nm}$ 以下とすることが、穴16からの電子放出を妨げないためには重要であり、この範囲で電極膜を残すことにより、穴16の上部電極15と下部電極12との間の電界が増加し、その結果放出電流の増加を見込むことができる。

【0033】この発明の更に他の実施例をいくつか説明する。図23は、例えば実施例1の方法で穴16が形成された上部電極15を形成した後、改めて全面に $10\text{ nm}$ 以下、好ましくは $7\text{ nm}$ 以下のAu膜15bをスパッタ法により成膜したものである。先に説明したように、穴16を開けるエッティング工程で底部に電極膜を残すことができるが、 $10\text{ nm}$ 以下の膜を残す際に面内均一性、基板間均一性、及びロット間均一性等を十分満たすことは難しい。この実施例のように、穴16の底部を完全に露出するまでエッティングを行い、改めてスパッタにより全面に膜厚 $10\text{ nm}$ 以下のAu等の導電性電極膜を成膜すれば、穴16の内部の電極膜厚を精度よく制御することができる。この場合、穴16の内部においては、下部のZnS層14が全て覆われるのではなく、図23(b)に示すようにAuが凝集した島構造16aを有しており、ZnS層14が一部露出されていて、その露出されたZnS層14から図23(c)に示すように電子が放出される。従って、ZnS層14を完全に露出するように穴16を形成してから膜厚 $10\text{ nm}$ 以下の膜を穴16に堆積しても、穴16の底部が完全に露出した状態で電子を放出させる場合と比較して、実質的に同じように電子を放出させることができる。

【0034】図24は、上部電極15にテーパエッティングを行うようにした実施例であり、実施例1の図4(b)の工程に続く工程を示している。レジストパターン17は例えばノボラック系のポジ型レジストであって、これをアルカリ現像液で現像した後、ホットプレートにて $180^{\circ}\text{C}$ , 90秒の加熱処理を行って、レジストパターン17をリフローさせる(図24(a))。この様にリフローさせたレジストパターン17を用いてAu上部電極15をイオンミリングすると、テーパ加工された上部電極15を得ることができる(図24(b))。その後更に、Au膜15aを $10\text{ nm}$ 以下の範囲でスパッタにより堆積してもよい(図24(c))。

【0035】次に、上部電極15の穴16の大きさや開口率を調整する方法をいくつか説明する。実施例1の図4(b)の工程で例えば、レジストパターン17を、窓18の径 $0.5\text{ }\mu\text{m}$ 、ピッチ $1\text{ }\mu\text{m}$ で形成したとする。この後、 $\text{O}_2$ アッシャーにてレジストを等方的にエッティングすると、窓18の径を大きくすることができる。具体的には例えば、窓18を $0.8\text{ }\mu\text{m}$ 径まで拡大する。

その後は実施例1と同様の工程で上部電極15をエッチングする。この方法により、上部電極15の開口率を約0.2から約0.5まで、2.5倍程大きくすることが可能である。

【0036】図25及び図26は、上部電極15の耐エッティングマスクとしてシリコン酸化膜を利用する方法である。実施例1の図4(a)の工程の後、上部電極15上にシリコン酸化膜21を200nm程度堆積する(図25(a))。更にシリコン酸化膜21上に、ノボラック系ポジ型レジストを用いてレジストパターン22を形成する(図25(b))。そして緩衝弗酸(HF+NH<sub>4</sub>F)を用いてシリコン酸化膜21を等方的にエッティングする(図25(c))。そしてレジストパターン22を剥離し(図26(a))、その後開口部が薄くなったりシリコン酸化膜21をマスクとして上部電極15をイオンミリングによりテーパエッティングして、穴16を開ける(図26(b))。最後にシリコン酸化膜21を緩衝弗酸によりエッティング除去する(図26(c))。

【0037】この方法によても、上部電極15の穴16の大きさや開口率の調整ができる。開口率を大きくするには、犠牲膜であるシリコン酸化膜21の膜厚を小さくすればよい。シリコン酸化膜21の膜厚を小さくすると、加工される上部電極15のテーパ部の面積は減少する。シリコン酸化膜21に代わって、シリコン窒化膜やアルマイド等他の絶縁膜、多結晶シリコン、アモルファスシリコン、ゲルマニウム等の半導体膜、Al、Cu、Ni、Mo等の金属膜、WSi、MoSi、NiSi、TaSi等のシリサイド膜を用いることもできる。

【0038】図27及び図28は、上部電極15の耐エッティングマスクとしてBPSG、PSG等のガラス膜を利用して、そのリフロー処理により開口率を調整する方法である。実施例1の図4(a)の工程の後、上部電極15上に例えば、BPSG膜23を200nm堆積する(図27(a))。このBPSG膜23上に上の実施例と同様にレジストパターン22を形成し(図27(b))、BPSG膜23を異方性エッティングする(図27(c))。具体的には、マイクロ波プラズマエッティング装置を用い、CH<sub>2</sub>F<sub>2</sub>+CO<sub>2</sub>+Arガスを用いて、垂直側壁を出すようにエッティングする。その後、レジストパターン22を除去して、BPSG膜23をリフローさせる(図28(a))。このリフロー処理は、1050°Cまで10秒で昇温し、10秒間保持するという条件のランプアニールによる。その後、上の実施例と同様に上部電極15をテーパエッティングし(図28(b))、BPSG膜23を除去する(図28(c))。

【0039】図29は2層のシリコン酸化膜を犠牲膜として利用して開口率を調整する方法である。図25(a)と同様にシリコン酸化膜21を上部電極15上に堆積した後、これを異方性エッティングして垂直側壁を持つ窓を開けたシリコン酸化膜21aをパターン形成し、

更にその側壁にシリコン酸化膜21bを形成する(図29(a))。具体的に第2層のシリコン酸化膜21bは例えば、O<sub>3</sub>+TEOSを原料とした常圧CVDにより堆積し、これをCH<sub>2</sub>F<sub>2</sub>+CO<sub>2</sub>+Arガスを用いたプラズマエッティングにより異方的にエッティングすることにより、第1層のシリコン酸化膜21aの側壁のみに残すことができる。これら2層のシリコン酸化膜21a、21bをマスクとして上部電極15をエッティングすることにより、テーパ付きの穴16を開ける(図29(b))。

【0040】図30は、図29の2層目のシリコン酸化膜21bに代わって、SOG膜を用いて側壁絶縁膜を形成する方法である。SOG膜を塗布してこれをエッチャックすることにより、なだらかに傾斜する側壁絶縁膜としてのSOG膜21b'を得ることができる(図30(a))。その後図29と同様に上部電極15をエッティングしてテーパ付きの穴16を開ける(図30(b))。

【0041】図31は、側壁絶縁膜のみを上部電極エッティングの耐エッティングマスクとして利用して開口率を調整する方法である。図29或いは図30と同様の工程で、上部電極15上に二種の絶縁膜25a、25bによるマスクをパターン形成する(図31(a))。例えば、第1の絶縁膜25aにはCVDシリコン窒化膜を用い、これを異方性エッティングによりパターン形成した後、第2の絶縁膜25bとしてSOG膜を塗布しエッチャックして側壁に残す。そして、第1の絶縁膜25aを第2の絶縁膜25bに対して選択比の大きいエッティング法で除去する。例えば第1の絶縁膜25aがシリコン窒化膜、第2の絶縁膜25bがSOG膜であれば、シリコン窒化膜を熱磷酸により選択的にエッティングすることができる。その後、側壁絶縁膜である第2の絶縁膜25bのみをマスクとして上部電極15をエッティングする(図31(b))。この方法によると、図29或いは図30に比べて一層大きい開口率を得ることが可能である。第1、第2の絶縁膜25a、25bには、エッティングの選択比を大きくとれる他の適当な材料の組み合わせを用いることができる。

【0042】なお、図24～図31に示した方法において、上部電極15をパターニングした後、更に10nm以下の薄い電極膜を全面に形成する図23の方法を適用することができる。また、上部電極15としてAl等の低融点金属を用いれば、穴16を形成した後にリフロー処理ができる。Al膜の場合であれば、窒素または硫黄雰囲気の炉で500°C、30分の加熱処理でリフローできる。またこのリフロー処理にランプアニールやレーザー処理を利用すれば、10秒程度の処理時間でリフロー可能である。この加熱処理時間の短縮は、電子加速層にZnS層を用いた場合に、加熱処理での硫黄(S)の離脱を抑制する上で有利である。

【0043】図32は更に別の実施例の電界放射素子を

示す図1(a)のA-A' とは直交する方向の断面図である。図示のように下部電極12はストライプ状にパターン形成されて配列されるから、この下部電極12の面には凹凸がある。従って、図32では、絶縁層13として2層の絶縁層13a, 13bを用いて平坦化している。具体的に第2層目の絶縁層13bとしてSOG等を用いて、平坦化する事ができる。

【0044】また、実施例では絶縁性基板を用いてこれに下部電極を形成したが、下部電極を兼ねた導電性基板を出発基板とすることもできる。その他この発明はその趣旨を逸脱しない範囲で種々変形して実施することが可能である。

#### 【0045】

【発明の効果】以上述べたようにこの発明によれば、上部電極に複数の穴を形成することによって放出電流の増大を図ると共に、上部電極の厚みを確保して真空封止のための高温プロセスにも電極機能が損なわれることがないようにした面電子源を持つ冷陰極型電界放出素子を得ることができる。

#### 【図面の簡単な説明】

【図1】 この発明の一実施例による電界放出素子の平面図とそのA-A' 断面図である。

【図2】 同実施例の一つの面電子源部分の平面図と一部切欠した斜視図である。

【図3】 実施例1の要部製造工程を示す断面図である。

【図4】 実施例1の要部製造工程を示す断面図である。

#### 【図5】 図4(b)の状態の斜視図である。

【図6】 実施例2の要部製造工程を示す断面図である。

#### 【図7】 図6(a)の状態の斜視図である。

【図8】 ZnS層の表面状態を示すSEM写真である。

【図9】 実施例3の要部製造工程を示す断面図である。

【図10】 実施例3の要部製造工程を示す断面図である。

【図11】 実施例4の要部製造工程を示す断面図である。

#### 【図12】 図11(b)の上部電極表面状態を示すSEM写真である。

【図13】 実施例の電界放出素子の応用例を示す図である。

【図14】 実施例の電界放出素子の電子放出原理を説明するためのバンド図である。

【図15】 図13におけるパルス電圧とカソードルミネセンスの波形を示す。

【図16】 実施例1の電界放出素子の輝度特性を示す図である。

【図17】 実施例2の電界放出素子の輝度特性を示す図である。

【図18】 実施例3の電界放出素子の輝度特性を示す図である。

【図19】 実施例4の電界放出素子の輝度特性を示す図である。

【図20】 実施例1の電界放出素子の輝度と穴の大きさの関係を示す図である。

【図21】 実施例による電界放出素子の等電位線分布のシミュレーション結果を示す図である。

【図22】 実施例による電界放出素子の等電位線分布のシミュレーション結果を示す図である。

【図23】 他の実施例による電界放出素子の断面図である。

【図24】 他の実施例による要部製造工程を示す断面図である。

【図25】 他の実施例による要部製造工程を示す断面図である。

【図26】 同実施例による要部製造工程を示す断面図である。

【図27】 他の実施例による要部製造工程を示す断面図である。

【図28】 同実施例による要部製造工程を示す断面図である。

【図29】 他の実施例による要部製造工程を示す断面図である。

【図30】 他の実施例による要部製造工程を示す断面図である。

【図31】 他の実施例による要部製造工程を示す断面図である。

【図32】 他の実施例による電界放出素子の断面図である。

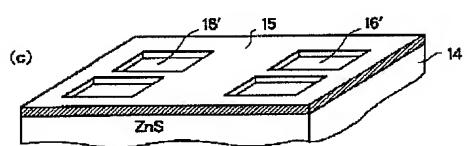
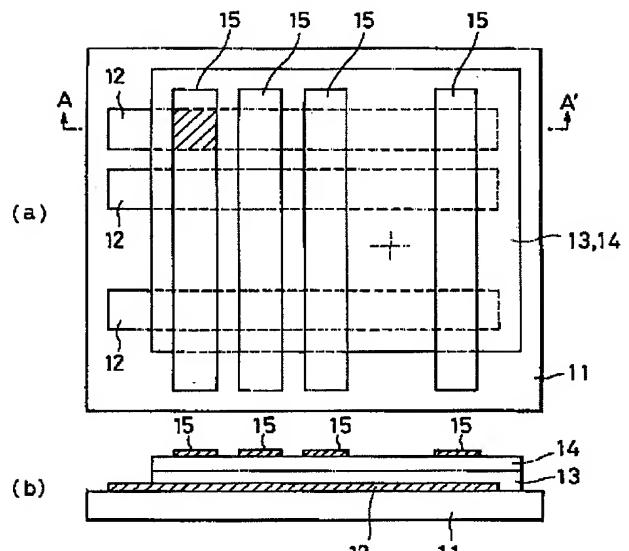
【図33】 従来の面電子源の構成法を示す図である。

【図34】 他の従来例の面電子源の構成法を示す図である。

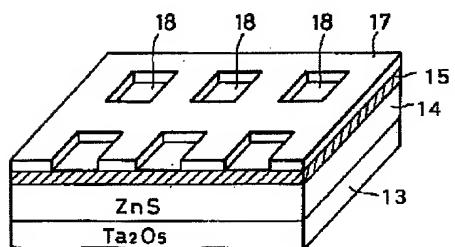
#### 【符号の説明】

11…絶縁性基板、12…下部電極、13…絶縁層、14…電子加速層、15…上部電極、16…穴。

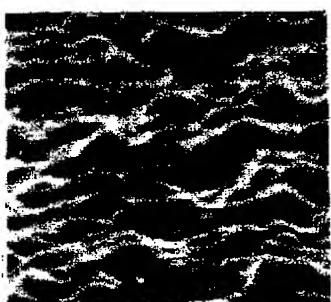
【図1】



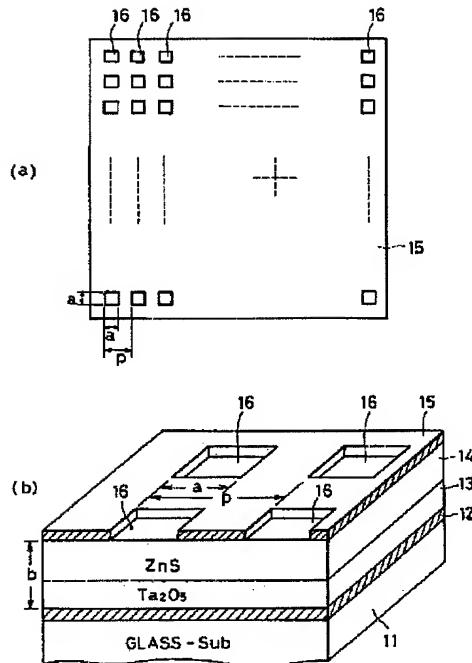
【図5】



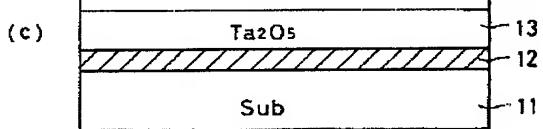
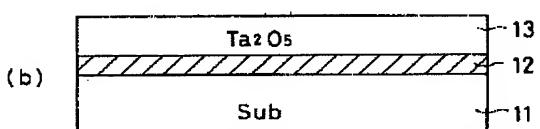
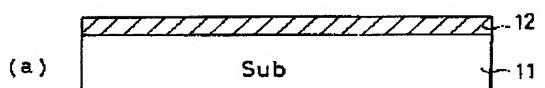
【図8】



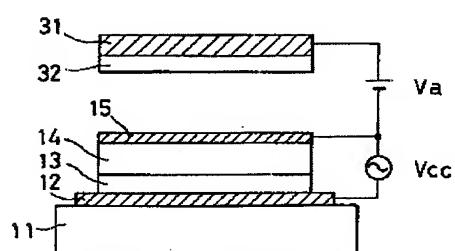
【図2】



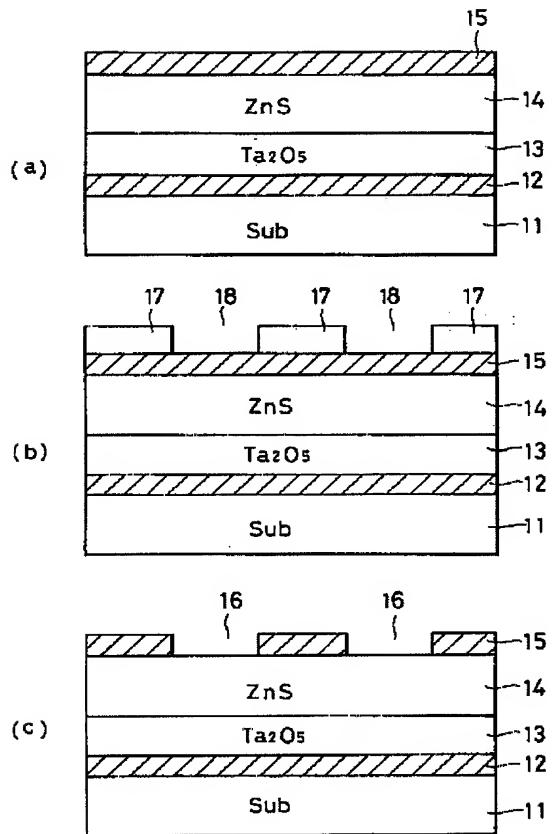
【図3】



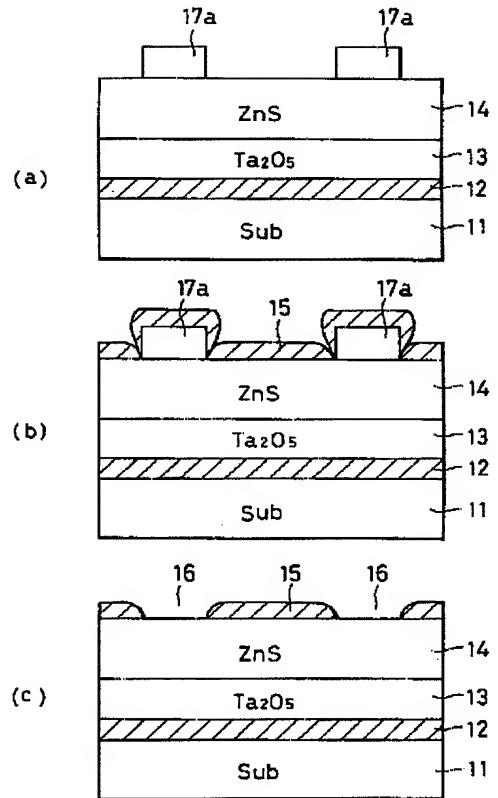
【図13】



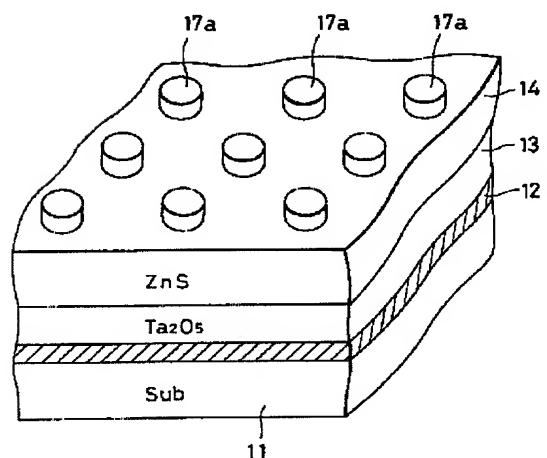
【図4】



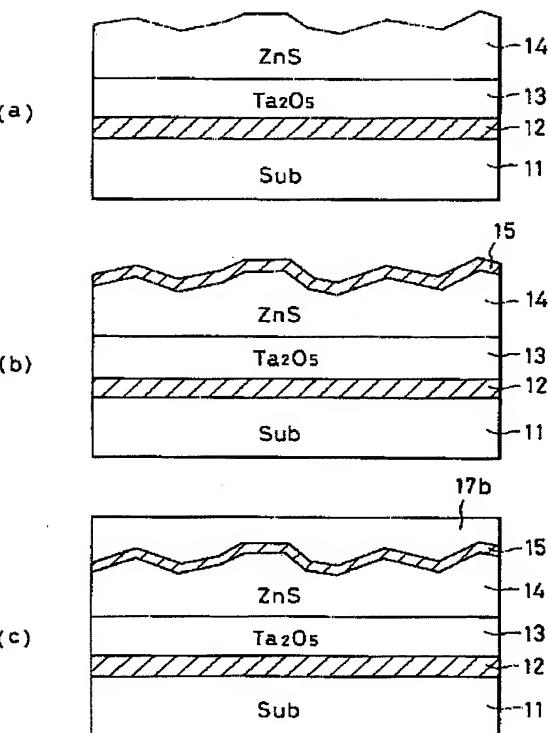
【図6】



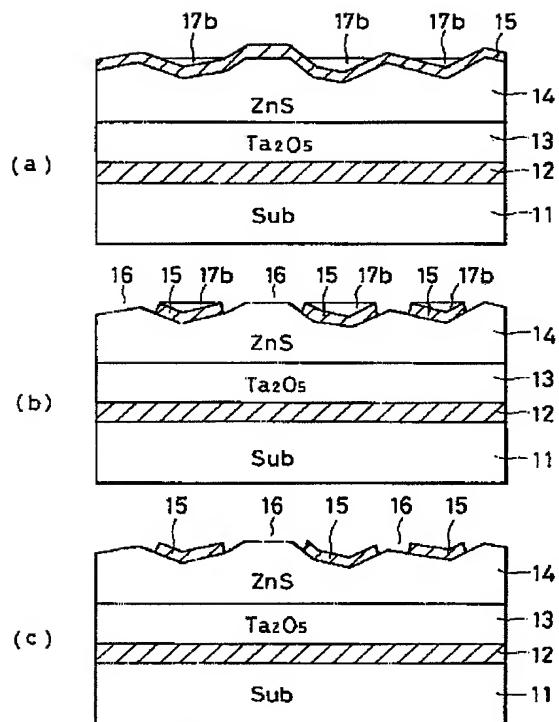
【図7】



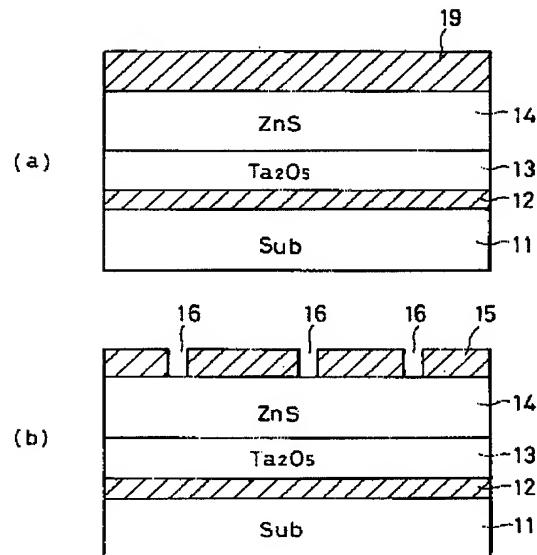
【図9】



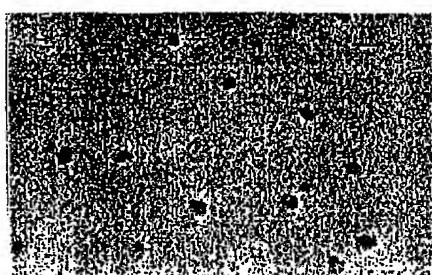
【図10】



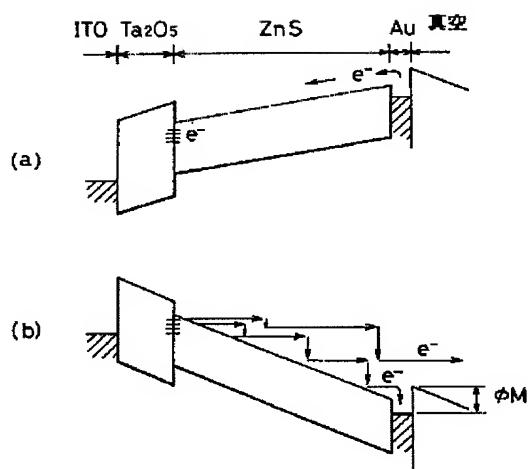
【図11】



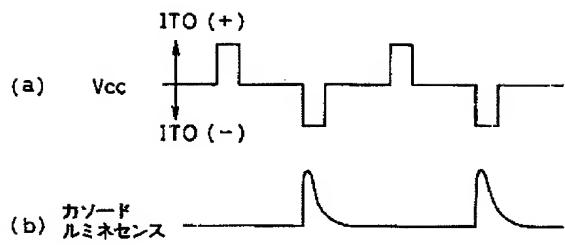
【図12】



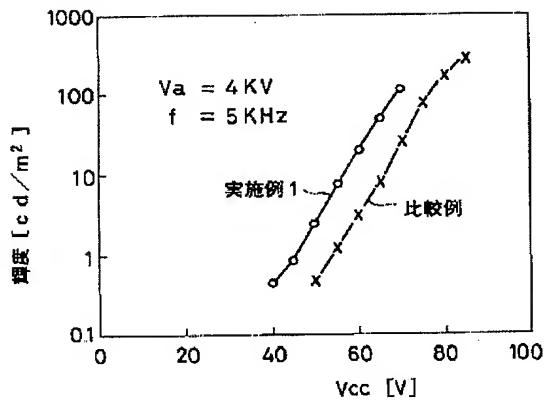
【図14】



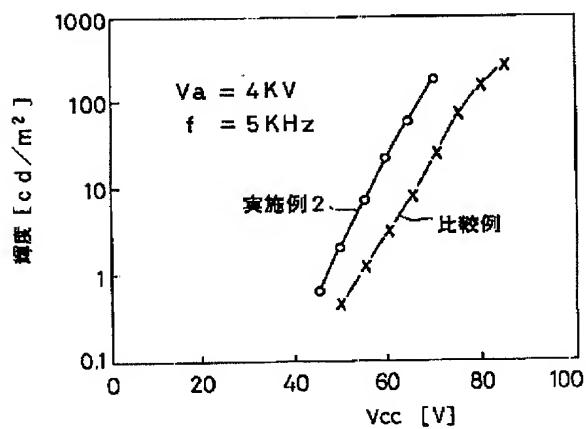
【図15】



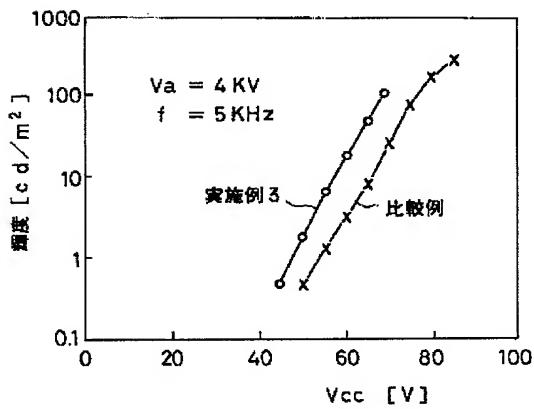
【図16】



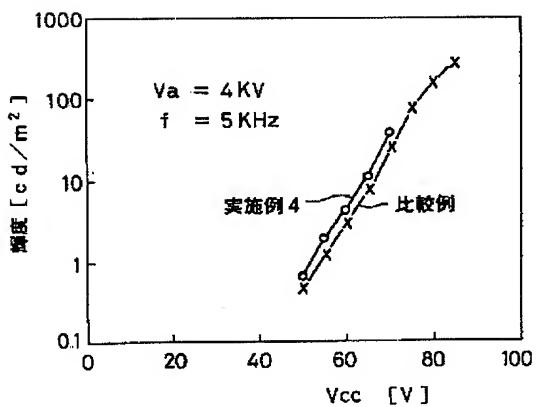
【図17】



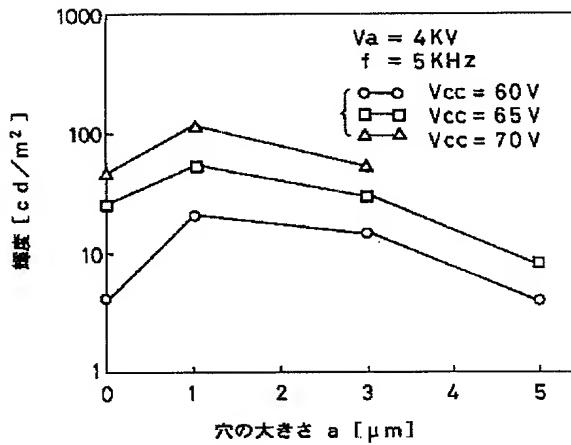
【図18】



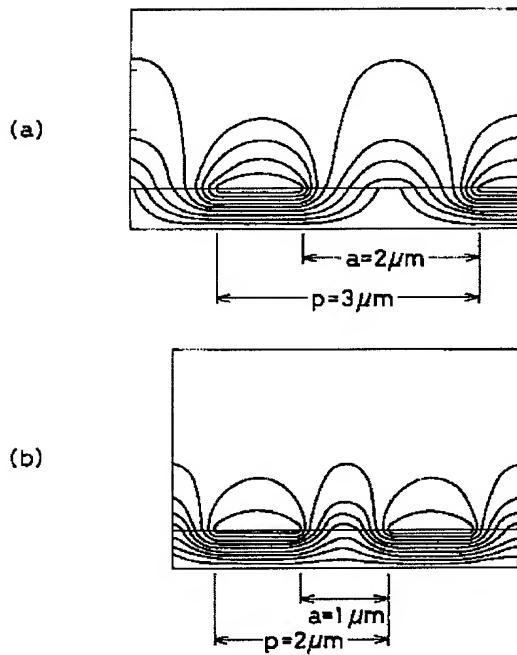
【図19】



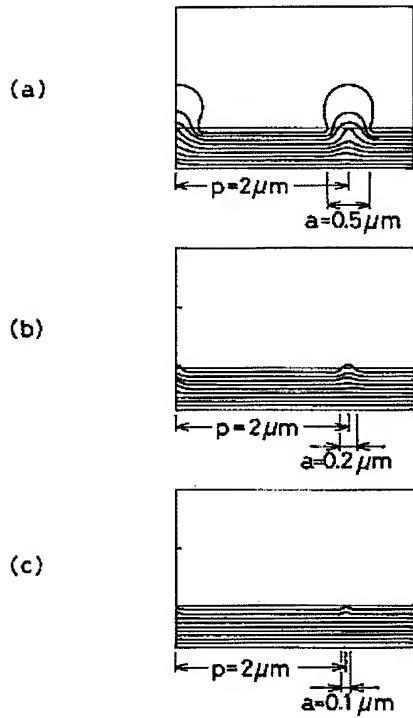
【図20】



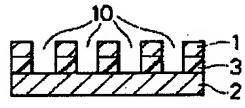
【図21】



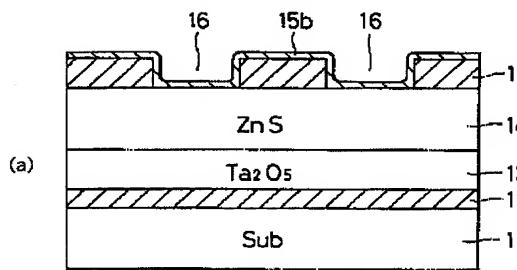
【図22】



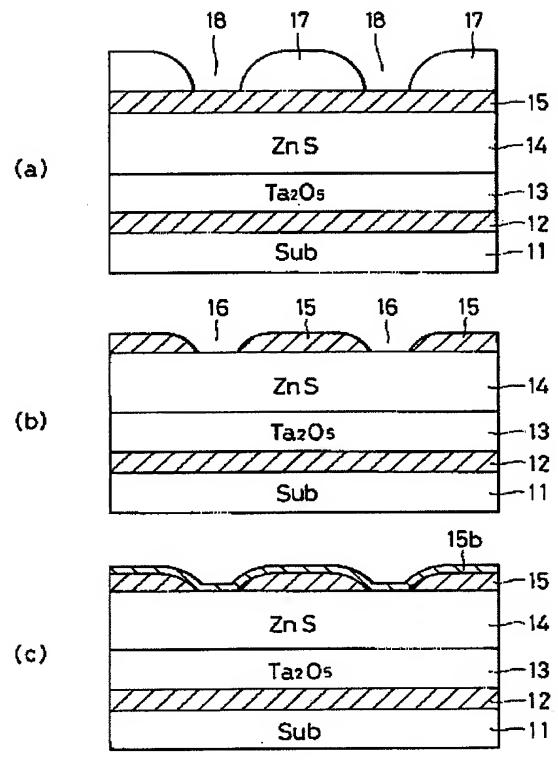
【図34】



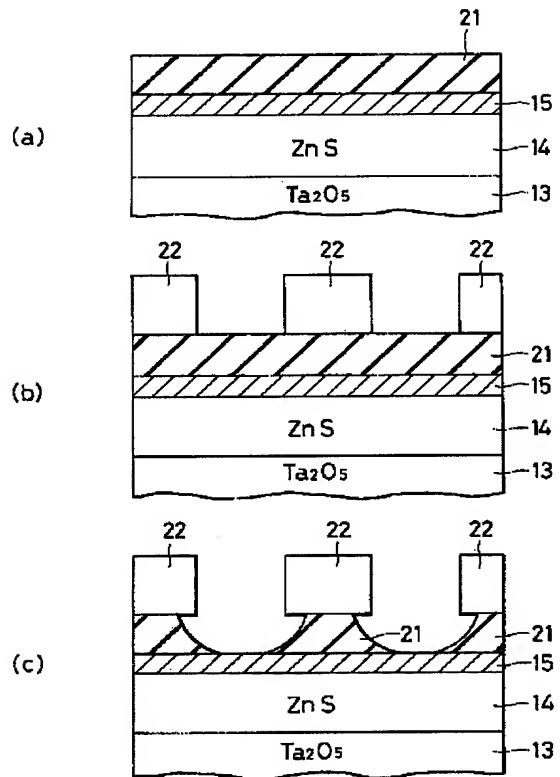
【図23】



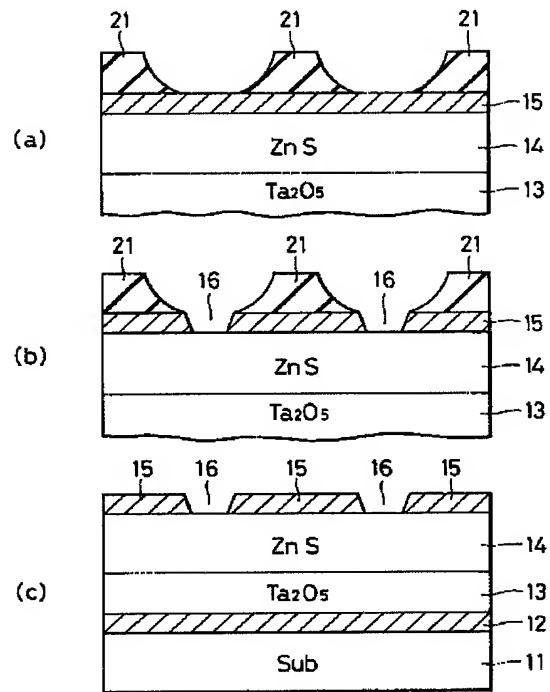
【図24】



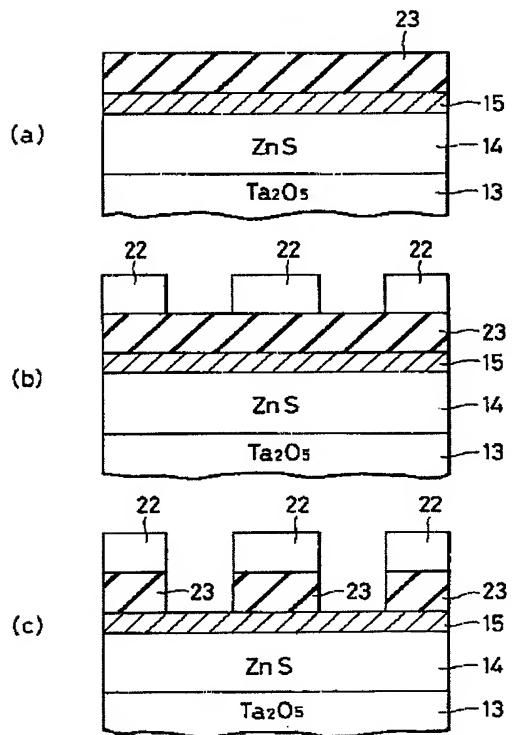
【図25】



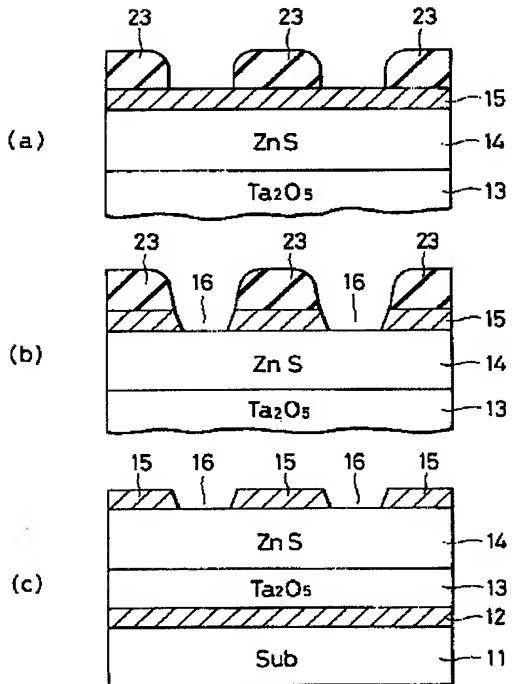
【図26】



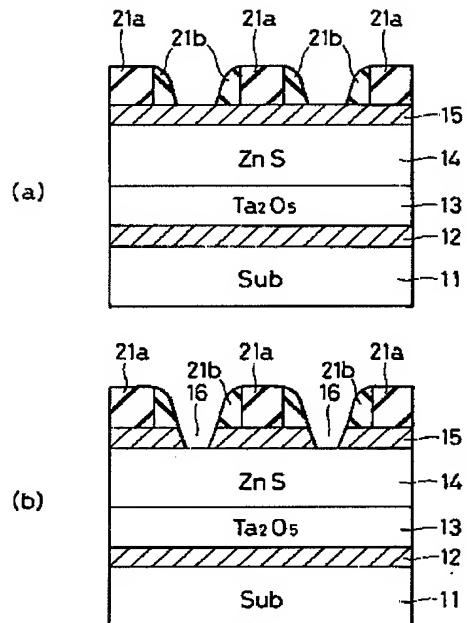
【図27】



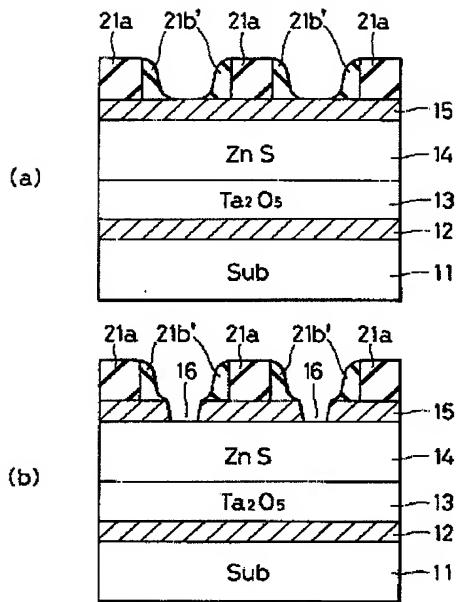
【図28】



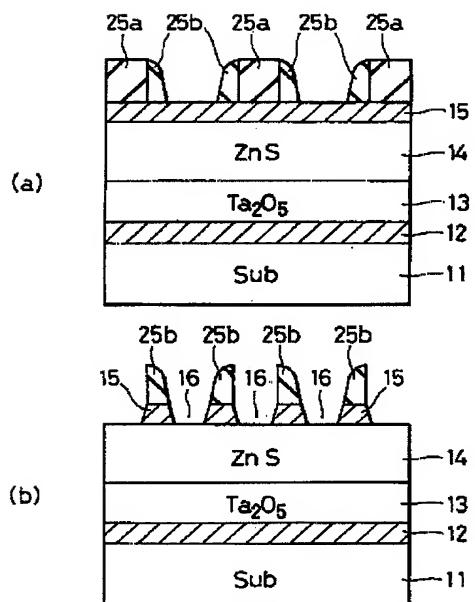
【図29】



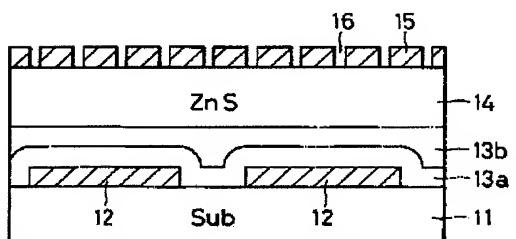
【図30】



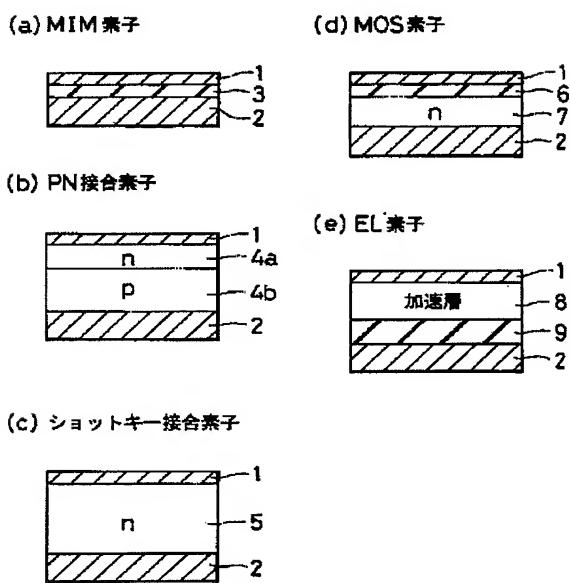
【図31】



【図32】



【図33】



フロントページの続き

(72)発明者 服部 敦夫  
静岡県浜松市中沢町10番1号 ヤマハ株式  
会社内

**\* NOTICES \***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

**CLAIMS****[Claim(s)]**

[Claim 1] The cold-cathode mold field-emission component characterized by to be formed two or more holes in said up electrode in the cold-cathode mold field-emission component which has the substrate which has the conductive layer which serves as a lower electrode at least at the surface section, the electronic acceleration layer which were formed on said lower electrode of this substrate, and the up electrode which are formed so that said lower electrode may be countered on this electronic acceleration layer, and impress an electrical potential difference between said lower electrodes.

[Claim 2] The electronic acceleration layer formed through the insulating layer on said lower electrode of the substrate which has the conductive layer which serves as a lower electrode at the surface section, and this substrate at least, It has the up electrode formed so that said lower electrode might be countered on this electronic acceleration layer. In the cold cathode mold field emission component accelerates the electron which impressed alternating voltage between said up electrodes and lower electrodes, and was injected into said electronic acceleration layer from said up electrode, and it was made to make emit from said up electrode side The cold cathode mold field emission component characterized by forming two or more holes in said up electrode.

[Claim 3] The magnitude of each hole of said up electrode is a cold cathode field emission component according to claim 1 or 2 characterized by being set as 5 or less times of said up electrode and lower inter-electrode thickness.

[Claim 4] The manufacture approach of the cold-cathode field-emission component characterized by to have the process which forms an electronic acceleration layer on said lower electrode of the substrate which has the conductive layer which serves as a lower electrode at least at the surface section, and forms two or more holes at said up electrode in the manufacture approach of a cold-cathode mold field-emission component of having the process which forms the up electrode which impresses an electrical potential difference between said lower electrodes so that said lower electrode may counter on this electronic acceleration layer.

[Claim 5] The process which forms two or more holes in said up electrode is the manufacture approach of the cold cathode mold field emission component according to claim 4 characterized by being what carries out pattern formation of the etching-proof mask, and carries out selective etching of said up electrode on said up electrode.

[Claim 6] The process which forms two or more holes in said up electrode is the manufacture approach of the cold-cathode mold field-emission component according to claim 4 characterized by to be what carries out lift-off processing of said up electrode by removing said sacrifice layer after carrying out pattern formation of the sacrifice layer to the location corresponding to two or more of said holes on said electronic acceleration layer in advance of said up electrode formation and carrying out laminating formation of the Gokami section electrode.

[Claim 7] The process which forms two or more holes in said up electrode is the manufacture approach of the cold-cathode mold field-emission component according to claim 4 characterized by to be what forms said electronic acceleration layer in the condition that irregularity is shown in that front face, forms the up electrode which has the irregularity which reflected said irregularity on this electronic acceleration layer, embeds and forms etching-proof material in the crevice of this up electrode surface, and carries out the selective etching of said up electrode.

[Claim 8] The process which forms two or more holes in said up electrode is the manufacture approach of the cold cathode mold field emission component according to claim 4 characterized by being what applies the solution which distributed the particle used as said up electrode material, carries out heating baking, and forms a porous up electrode on said electronic acceleration layer.

[Claim 9] The process which forms two or more holes in said up electrode is the manufacture approach of the cold cathode mold field emission component according to claim 4 characterized by being what forms the 2nd up electrode material film after carrying out pattern formation of the etching-proof mask and carrying out selective etching of the 1st up electrode material film on the 1st [ after forming the 1st up electrode material film / this ] up electrode material film.

[Claim 10] The process which forms two or more holes in said up electrode is the manufacture approach of the cold cathode mold field emission component according to claim 4 characterized by being what carries out selective etching of said up electrode after carrying out pattern formation of the etching-proof mask on said up electrode and carrying out a reflow of said etching-proof mask.

[Claim 11] The process which forms two or more holes in said up electrode is the manufacture approach of the cold cathode mold field emission component according to claim 4 characterized by being what carries out selective etching of said up electrode after carrying out pattern formation of the etching-proof mask on said up electrode, carrying out etchback of said etching-proof mask and increasing a bore diameter.

[Claim 12] The process which forms two or more holes in said up electrode is the manufacture approach of the cold cathode mold field emission component according to claim 4 characterized by being what carries out selective etching of said up electrode after forming the sacrifice film on said up electrode, carrying out pattern formation of the etching-proof mask subsequently and etching said sacrifice film isotropic.

[Claim 13] The process which forms two or more holes in said up electrode is the manufacture approach of the cold cathode mold field emission component according to claim 4 characterize by being what carries out selective etching of said up electrode after forming low-melt point point sacrifice film, such as PSG and BPSG, on said up electrode, carrying out pattern formation of the etching-proof mask subsequently, etching said sacrifice film isotropic and carrying out a reflow of said sacrifice film.

[Claim 14] The process which forms two or more holes in said up electrode forms the 1st sacrifice film on said up electrode. Subsequently, after carrying out pattern formation of the etching-proof mask and etching said 1st sacrifice film isotropic, The manufacture approach of the cold cathode mold field emission component according to claim 4 characterized by being what carries out selective etching of said up electrode after forming the 2nd sacrifice film, carrying out etchback of said 2nd sacrifice film and forming a side spacer in the side attachment wall of said 1st sacrifice film.

[Claim 15] The process which forms two or more holes in said up electrode forms the 1st sacrifice film on said up electrode. Subsequently, after carrying out pattern formation of the etching-proof mask and etching said 1st sacrifice film isotropic, The manufacture approach of the cold cathode mold field emission component according to claim 4 characterized by being what carries out selective etching of said up electrode after applying SOG etc. as 2nd sacrifice film and carrying out etchback of said 2nd sacrifice film.

[Claim 16] The process which forms two or more holes in said up electrode forms the 1st sacrifice film on said up electrode. Subsequently, after carrying out pattern formation of the etching-proof mask and etching said 1st sacrifice film isotropic, Form the 2nd sacrifice film, carry out etchback of said 2nd sacrifice film, and a side spacer is formed in the side attachment wall of said 1st sacrifice film. The manufacture approach of the cold cathode mold field emission component according to claim 4 characterized by being what carries out selective etching of said up electrode after removing said 1st sacrifice film selectively.

[Claim 17] The process which forms two or more holes in said up electrode forms the 1st sacrifice film on said up electrode. Subsequently, after carrying out pattern formation of the etching-proof mask and etching said 1st sacrifice film isotropic, The manufacture approach of the cold cathode mold field emission component according to claim 4 characterized by being what carries out selective etching of said up electrode after applying SOG etc. as 2nd sacrifice film, performing etchback and removing said 1st sacrifice film selectively.

[Claim 18] The process which forms two or more holes in said up electrode is the manufacture approach of the cold cathode mold field emission component according to claim 4 characterized by being that to which a reflow of said up electrode is carried out after forming the low-melt point point electrical conducting material film as said up electrode, carrying out pattern formation of the etching-proof mask subsequently and etching said up electrode isotropic.

[Claim 19] The process which forms two or more holes in said up electrode is the manufacture approach of the cold cathode mold field emission component according to claim 4 characterized by including the process which forms the conductive electrode material film with a thickness of 10nm or less after forming a hole so that said electronic acceleration layer may be exposed to said up electrode.

[Translation done.]

**\* NOTICES \***

JPO and INPIT are not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

**DETAILED DESCRIPTION****[Detailed Description of the Invention]****[0001]**

[Field of the Invention] This invention relates to the cold cathode mold field emission component using the field electron source applied to a flat-surface display etc., and its manufacture approach.

**[0002]**

[Description of the Prior Art] In recent years, FED (Field Emission Display) using the electron source array which arranged the cold cathode electron source in the shape of a 2-dimensional matrix attracts attention as a flat-surface display which replaces a liquid crystal display, and researches and developments are done by every place. The method of a cold cathode electron source is roughly divided, and has two, the point electron source represented by the Spindt (Spindt) method which sharpened the head like a needle, and the field electron source which takes out an electron from a flat surface. Among these, although the current which can take out a point electron source is large, it is weak by the noise and the effect of adsorption, desorption, etc. of residual gas is large, and since an electron beam spreads, there is a difficulty of needing a focusing means. On the other hand, although the current which can take out a field electron source is small, actuation of a low noise and high stability is possible, and since it is emitted without an electron beam spreading, it has the advantage in which a focusing means is not needed, either. Therefore, to FED, a field electron source is desirable.

[0003] Although a field electron source obtains an acceleration electron by vertical inter-electrode electric-field impression, makes an up electrode penetrate and takes out an electron, it has some which are listed below according to the structure of the layer for generating the acceleration electron.

\*\* The method which takes out the electron which carried out tunneling of the insulator layer 3 by high electric field as the vertical section electrode 1 and MIM (Metal Insulator Metal) structure which sandwiched the thin insulating layer 3 among two as shown in drawing 33 (a) (for example, p.1 to Japan Society for the Promotion of Science vacuum microelectronics 158th time [ 5th ] committee seminar data 6 reference).

\*\* The PN-junction component method which starts avalanche breakdown by high electric field, and generates a hot electron using the structure of having the vertical electrode 1 and the semi-conductor layers 4a and 4b which form a PN junction among two as shown in drawing 33 (b) (for example, "electronic ingredient" p.34 reference of the January, 1991 issuance).

\*\* The Schottky barrier component method which whose semi-conductor layer 5 which constitutes the Schottky barrier between the up electrodes 1 is pinched among the vertical electrodes 1 and 2, starts avalanche breakdown by high electric field, and generates a hot electron as shown in drawing 33 (c) (for example, the 1990 Institute of Electronics, Information and Communication Engineers autumn national conference, SC-8-6 reference).

\*\* it is shown in drawing 33 (d) -- as -- vertical inter-electrode one -- the method (for example, the 1990 Institute of Electronics, Information and Communication Engineers autumn national conference, SC-8-7 reference) which takes out the electron which carried out tunneling of the insulating layer 6 to 1 and 2 by high electric field using the MOS (Metal Insulator Semiconductor) structure the insulating layer 6 and whose semi-conductor layer 7 were pinched.

\*\* it is shown in drawing 34 (e) -- as -- vertical inter-electrode one -- the method (for example,

"application physics" volume [ 63rd ] No. 6 (1994) P.592-P.595 reference) which generates a hot electron in the electronic acceleration layer 8 using EL (Electro Luminescence) component structure which inserted the electronic acceleration layer 8 and the insulating layer 9 into 1 and 2.

[0004]

[Problem(s) to be Solved by the Invention] Although the field electron source of \*\* - \*\* mentioned above has the advantage desirable as an object for FED as mentioned above, it has the problem which should still be solved for utilization. It is that the rate of the current taken out by the exterior to the current which flows inside a component is [ one ] small compared with a point electron source. This is because electronic dispersion with up electrodes, such as Au which makes an electron penetrate, and aluminum, is large. In order to make dispersion small, the thin film of 10nm or less uses for an up electrode, and emission electron with \*\*\*\* sufficient by this is not obtained. Although another needs to carry out the vacuum lock of the electron source array with low melting glass etc. for application to FED etc., a field electron source array must be heated at 400 degrees C or more in that case, I hear that the film condenses by this heat treatment process, and the function of an electrode is spoiled, and there is a thin up electrode of 10nm. These are made into the common problem also when using any of \*\* - \*\*.

[0005] The cathode structure which carried out array formation of the pinhole 10 which penetrates these over the up electrode 1 and an insulating layer 3 in the vertical electrode 1 and the MIM structure which sandwiched the insulating layer 3 among two as shown in drawing 34 is also proposed to the field electron source of \*\* - \*\* mentioned above as what can solve the problem of electronic dispersion with an up electrode (refer to JP,6-203772,A). However, this structure is close to the Spindt mold at the point of using the principle of the thermionic tube unlike \*\* which uses the electron emission by the electric field from the lower electrode 2 exposed in a pinhole 10 to the inside of a vacuum, and uses the hot electron in a solid-state - \*\*. However, since the head is not sharp like the Spindt mold, the electric-field concentration by the configuration cannot be used, but the thickness of an insulating layer 3 is 1 micrometer. It has the problem that carry out and the electrical potential difference of about 1kV is needed.

[0006] This invention aims at offering a cold cathode mold field emission component with the field electron source by which the electrode function was made not to be spoiled by the elevated-temperature process for a vacuum lock, and its manufacture approach while it was made in consideration of the above-mentioned situation and aims at buildup of the emission current.

[0007]

[Means for Solving the Problem] This invention is characterized by to be formed two or more holes in said up electrode in the cold-cathode mold field-emission component which has the substrate which has the conductive layer which serves as a lower electrode at least at the surface section, the electronic acceleration layer formed on said lower electrode of this substrate, and the up electrode which is formed so that said lower electrode may be countered on this electronic acceleration layer, and impress an electrical potential difference between said lower electrodes. The substrate with which this invention has the conductive layer which serves as a lower electrode at least at the surface section again, The electronic acceleration layer formed through the insulating layer on said lower electrode of this substrate, It has the up electrode formed so that said lower electrode might be countered on this electronic acceleration layer. In the cold cathode mold field emission component accelerates the electron which impressed alternating voltage between said up electrodes and lower electrodes, and was injected into said electronic acceleration layer from said up electrode, and it was made to make emit from said up electrode side, it is characterized by forming two or more holes in said up electrode. In this invention, the magnitude of each hole of said up electrode is preferably set as 5 or less times of said up electrode and lower inter-electrode thickness.

[0008] It is characterized by for this invention to have the process which forms an electronic acceleration layer on said lower electrode of the substrate which has the conductive layer which serves as a lower electrode at least at the surface section again, and forms two or more holes at said up electrode in the manufacture approach of a cold-cathode mold field-emission component of having the process which forms the up electrode which impresses an electrical potential difference between said lower electrodes so that said lower electrode may counter on this electronic acceleration layer. As a process which forms two or more holes, the following processes can

specifically be used for said up electrode.

(a) On said up electrode, carry out pattern formation of the etching-proof mask, and carry out selective etching of said up electrode.

(b) Carry out lift-off processing of said up electrode by removing said sacrifice layer after carrying out pattern formation of the sacrifice layer to the location corresponding to said two or more holes on said electronic acceleration layer in advance of said up electrode formation and carrying out laminating formation of the Gokami section electrode.

(c) Said electronic acceleration layer is formed in the condition that irregularity is shown in that front face, form the up electrode which has the irregularity which reflected said irregularity on this electronic acceleration layer, embed and form etching-proof material in the crevice of this up electrode surface, and carry out selective etching of said up electrode.

(d) On said electronic acceleration layer, apply the solution which distributed the particle used as said up electrode material, carry out heating baking, and form a porous up electrode.

[0009] With the field electron source structure by this invention, by forming two or more holes in an up electrode, and optimizing the magnitude and the pitch of this hole, big electric field are built over an electronic acceleration layer also in the part of a hole, and the electron accelerated in the electronic acceleration layer is emitted from these holes. Therefore, since dispersion with an up electrode is lost like before, compared with the conventional method which is made to penetrate an up electrode and takes out an electron, the increment in the emission current of about single figure is attained. Moreover, in this invention, even if it is exposed to an elevated-temperature process when it is not necessary to make an up electrode thin, therefore closes with low melting glass etc. since electron emission is performed through the hole of an up electrode, the flow of an up electrode is not lost. Furthermore, since it is a method which accelerates and picks out an electron from an electrode in a solid electronic acceleration layer in a vacuum unlike the thermionic-tube method to which field emission of the direct electron is carried out, the thing of this invention has few noises, and it is field electron source structure, and there is no adverse effect to the cathode of residual gas, and it serves as [ has the advantage in which an electron can be taken out almost vertically, and ] the optimal cold cathode electron emission component for FED etc.

[0010] In this invention, the hole formed in an up electrode is so desirable that it is small, and according to the experiment, compared with the method which makes the conventional up electrode penetrate, a significant difference is accepted in the increment in the emission current by setting it as 5 or less times of the vertical inter-electrode thickness containing an electronic acceleration layer.

The minimum of the magnitude of a hole is restricted by the working limit.

[0011] In this description in addition, an "electronic acceleration layer" The others [ layer / electronic acceleration ] which accelerate the impregnation electron from the up electrode [ as / in the EL element mold of drawing 33 (e) ] by alternating current actuation, It uses in the semantics also containing the semi-conductor layer which constitutes the PN junction and the Schottky barrier for an avalanche as shown in drawing 33 (b) and (c), and the insulating layer using the tunneling in the MIM mold and MOS mold which are further shown in drawing 33 (a) and (d). That is, this invention is applied to any mold of drawing 33 (a) - (e).

[0012]

[Embodiment of the Invention] Hereafter, with reference to a drawing, the example which applied this invention to the cold cathode mold field emission component of an EL element mold is explained. Drawing 1 (a) and (b) are the top view and its A-A' sectional view of a field emission component of the example which carried out array formation of the electron source two-dimensional. On the insulating substrates 11, such as glass and a quartz, array formation of the lower electrode 12 which used the ITO film is carried out at intervals of predetermined, and the electronic acceleration layer 14 is formed through the insulating layer 13 so that this may be covered. An insulating layer 13 is Ta<sub>2</sub>O<sub>5</sub>, and the electronic acceleration layers 14 are semi-conductor layers, such as ZnS or ZnSe, in this example. An insulating layer like Y<sub>2</sub>O<sub>3</sub> can also be used as an electronic acceleration layer 14. Array formation is carried out in the direction in which the up electrode 15 which used Au film or aluminum film crosses with a lower electrode on the electronic acceleration layer 14.

[0013] Each intersection which the up electrode 15 and the lower electrode 12 counter as the slash showed to drawing 1 (a) is one field electron source corresponding to 1 pixel in FED application,

drawing 2 (a) is the top view having expanded and shown the one field electron source, and this drawing (b) is a perspective view which expands this further, cuts in part and is shown. In this example, array formation of the hole 16 of the shape of much square is carried out at least like a graphic display to the lower electrode 12 and the field of the field electron source which counters of the up electrode 15. the magnitude of a hole 16 -- for example,  $a = 1$  micrometer it is -- this -- pitch of  $p = 2$  micrometers Array formation is carried out at the shape of a matrix. a ratio [ as opposed to / when such  $1000 \times 1000$  holes 16 are arranged, the area of a field electron source is set to  $2 \times 2\text{mm}$ , and / the electron source area of the gross area of two or more holes 16 ] (henceforth a numerical aperture) -- about -- it is set to one fourth (= 25%). In addition, hole 16' of the shape of a rectangle as shown not only in a square but in drawing 2 (c) (long and slender configuration) is sufficient as the configuration of a hole 16.

[0014] In addition, although concrete data are behind used for the magnitude of the hole 16 formed in the up electrode 15 and it explains them to a detail, its smaller one is good and makes it preferably 5 or less times of sum total thickness  $b$  of the electronic acceleration layer 14 and an insulating layer 13. Moreover, if the width of face and spacing of a hole 16 are made almost equal, about 1/of numerical apertures will be set to 4. The configuration of a hole 16 does not need to be a rectangle and may be a round hole. The array of a hole 16 may be arranged at random rather than also necessarily needs a thing regular in the shape of a matrix. These hole configurations and arrays can be suitably chosen by the concrete manufacture approach so that it may illustrate below.

[0015] As shown in example 1 drawing 3 (a), on the insulating substrate 11, the ITO film is vapor-deposited, patterning of this is carried out to the shape of a stripe using a lithography process, and the lower electrode 12 is formed. On the substrate with which the lower electrode 12 was formed, as shown in drawing 3 (b), it is 0.3 micrometers by the spatter about Ta<sub>2</sub>O<sub>5</sub> as an insulating layer 13. As it deposits and is successingly shown in drawing 3 (c), it is 0.7 micrometers about ZnS as an electronic acceleration layer 14 by the hot wall method or the spatter. It deposits. then, Au film which serves as the up electrode 15 on the electronic acceleration layer 14 as shown in drawing 4 (a) -- a spatter -- 10nm or more -- desirable -- 10-100nm -- thickness deposition is carried out, and on it, as shown in drawing 4 (b), the photoresist pattern 17 is formed. For example, using a novolak system positive resist, a resist pattern 17 is exposed in i line stepper of NA=0.5, and is developed with TMAH2.38% of alkali developer.

[0016] A resist pattern 17 is 1 micrometer so that the perspective view of drawing 5 may be shown. The aperture 18 of an angle is 2 micrometers. Array formation should be carried out in the pitch at the shape of a matrix. However, these production process drawings show the important section of one field electron source, and a resist pattern 17 also has an aperture for carrying out patterning of the up electrode 15 to the shape of a stripe, as drawing 1 explained actually. As Au film is etched with an ion milling system and shown in drawing 4 (c) using this resist pattern 17, the up electrode 15 with which the hole 16 of a large number which expose the electronic acceleration layer 14 was arranged is formed. a resist pattern 17 -- O<sub>2</sub> Usher -- or exfoliation liquid, sulfuric-acid + hydrogen peroxide solution, etc. remove.

[0017] Process drawing of the manufacture approach which applied the lift-off method to patterning of the example 2 up electrode 15 is shown in drawing 6 . Before drawing 3 (c) which forms the electronic acceleration layer 14 is the same as an example 1 and forms an up electrode layer in the electronic acceleration layer 14 after that, it forms photoresist pattern 17a used as the sacrifice film of a lift off ( drawing 6 (a)). At this time, for resist pattern 17a, as shown in drawing 7 , the circular pattern of 1micrometer phi is 2 micrometers. It should be arranged in the shape of a matrix in the pitch. Then, 10-20nm of Au film used as the up electrode 15 is deposited by the spatter ( drawing 6 (b)). Au film by the spatter has bad step coverage, and thickness becomes thin like a graphic display at the side-attachment-wall pars basilaris ossis occipitalis of resist pattern 17a. If this is immersed in resist exfoliation liquid, exfoliation liquid can invade from the thin resist side attachment wall of Au film, and can dissolve resist pattern 17a, the lift off of the Au film on it can be carried out, and the up electrode 15 which has the hole 16 formed so that the electronic acceleration layer 14 might be exposed can be obtained ( drawing 6 (c)).

[0018] When a ZnS layer or a ZnSe layer is used as an example 3 electronic acceleration layer 14, since these are polycrystals, periodic irregularity with a height of 0.2-0.5 micrometers is formed in a

front face in many cases. Drawing 8 is a SEM photograph of a ZnS layer front face in which this is shown. Process drawing of the approach of making a hole 16 in the up electrode 15 by the self aryne using the irregularity of this front face is shown in drawing 9 and drawing 10.

[0019] According to the same process as examples 1 and 2, where a ZnS layer is formed as an electronic acceleration layer 14, as shown in drawing 9 (a), irregularity is made in a front face. Then, it is 0.1 micrometers so that irregularity may reflect Au film used as the up electrode 15 in that front face. It deposits ( drawing 9 (b)), further photoresist 17b, and flattening of the front face is carried out ( drawing 9 (c)). [ apply and ] Subsequently, for example, in O2 plasma ambient atmosphere, by RIE, photoresist 17b remains in a crevice, and photoresist 17b is etched so that photoresist 17b of heights may be removed ( drawing 10 (a)). And by etching Au film by using as a mask photoresist 17b in the condition of having been embedded in the crevice, patterning of the up electrode 15 which has the hole 16 formed so that the electronic acceleration layer 14 might be exposed can be carried out ( drawing 10 (c)). In addition, artificially, it can form by etching etc. and this approach can also apply irregularity to that front face, when the front face of the electronic acceleration layer 14 is flat. Moreover, it is possible to use inorganic materials, such as other organic materials, such as polyimide, and SOG (Spin On Glass), instead of photoresist 17b.

[0020] Process drawing of the approach of using a porous layer as an example 4 hole aperture up electrode 15 is shown in drawing 11 . It is the same as examples 1-3 until it forms the electronic acceleration layer 14. The solution 19 which distributed Au particle is applied on the electronic acceleration layer 14 ( drawing 11 (a)). The solution perfect gold (trade name; product made from Vacuum metallurgy) which specifically contains Au particle with a mean particle diameter of 8nm is diluted with toluene, and spin coating is carried out. And 300 degrees C carries out heating baking about 30 minutes. Thereby, it is 0.1 micrometers. The up electrode 15 of the porosity which the hole 16 where extent is minute opened is obtained ( drawing 11 (b)). Drawing 12 is the SEM photograph of the up electrode actually formed by this approach.

[0021] Next, the concrete actuation and property data of a field emission component which are obtained according to each example are explained to a detail. As shown in drawing 13 , as a cathode which counters the anode 31 in which the fluorescence layer 32 was formed, the field emission component of an example carries out the vacuum lock of the whole, and is used. In the case of this example, a field emission component is an EL element, alternating voltage VCC (pulse voltage as specifically shown in drawing 15 ) is impressed between the up electrode 15 and the lower electrode 12, and the anode electrical potential difference Va is impressed between the up electrode 15 and an anode 21.

[0022] Drawing 14 is band drawing showing the principle of the electron emission of the electron emission component of an EL element mold. When the lower electrode (ITO) 12 side is forward, as shown in drawing 14 (a), an electron is injected into the electronic acceleration layer (ZnS) 14 from the up electrode (Au) 15, and the trap of the poured-in electron is carried out to an interface with an insulating layer (Ta 2O5) 13. If the lower electrode 12 becomes negative, as shown in drawing 14 (b), the electron by which the trap was carried out jumps out, it is accelerated in the electronic acceleration layer 14, and high energy is obtained, and the up electrode 15 will be penetrated and it will be emitted. When the up electrode 15 is thickened with about 100nm, only by an electron's penetrating the up electrode 15, and not emitting it, therefore letting the hole 16 of the up electrode 15 pass in the case of this example, electron emission of it is carried out. The cathode-ray-luminescence wave by this electron emission is shown in drawing 15 (b). This is an example at the time of giving  $V_a=4kV$ , using the pulse voltage of pulse width [ of 100micro ] S as VCC, using ZnS:Ag as a fluorescence layer 32.

[0023] Concretely, the result of having measured the relation of the pulse-voltage value VCC (absolute value) and the brightness of the fluorescence layer 32 is shown in drawing 16 about the prototype component by the example 1. For the thickness of the up electrode 15, 100nm and a hole 16 are [ this ]  $a=1$  micrometer. Pitch of  $p=2$  micrometers It is a case. 10nm Au continuation film was used for the example of a comparison as an up electrode, and also it is based on the same component conditions as an example 1. With the component of an example 1, one about 3 times the brightness of this is obtained compared with the example of a comparison so that clearly from drawing.

[0024] According to conventional example \*\* mentioned previously, about 1/of electron currents emitted outside is decreased to 10 with 10nm Au film. In the case of an example 1, a numerical aperture is about 1/4, and it is 1 micrometer. If an electron is emitted to homogeneity only from the hole of an angle, to the example of a comparison in which 10nm Au continuation film was formed, the electron current of one 2.5 times the reinforcement of this should be acquired, and it agrees with the experimental data of drawing 16 in general. However, it was not thought from the simulation result explained later that the electron was emitting the component of this example to homogeneity from the whole hole, but the conditions (for example, condition of the ZnS-vacuum interface of the ZnS layer exposed to a hole etc.) of differing from the former may have contributed to emission current buildup. Anyway, it was proved that it was effective in making an up electrode increase the emission current by carrying out array formation of the hole.

[0025] The same data in the case of the field emission component by the example 2 are shown in drawing 17. Although drawing 6 and drawing 7 show the example which forms a round hole, this data is 1 micrometer like an example 1. It is 2 micrometers about the hole of an angle. It is the case of the component formed in the pitch. Although the up electrode Au film prepared the 10nm thing and the 20nm thing, there was no significant difference in these. The example of a comparison is the same as drawing 16. The increment in the emission current is similarly accepted for the component of this example 2.

[0026] The same data of the field emission component by the example 3 and the example 4 are shown in drawing 18 and drawing 19, respectively. Although the component of an example 3 has dispersion in the magnitude and the array of a hole of an up electrode, a numerical aperture is about 1/4. The almost same increment in the emission current as examples 1 and 2 is accepted. Although so big emission current buildup is not acquired to the example of a comparison, if it is considered to be a reason that the numerical aperture was small etc. and the component of an example 4 optimizes manufacture conditions, much more effectiveness is expected.

[0027] Next, what changed the magnitude of a hole 16 with  $a= 1$  and  $3$  or  $5$  micrometers is made about the component of an example 1, and the data which measured brightness by making a pulse voltage VCC into a parameter about these are shown in drawing 20.  $a= 1$  and  $3$  or  $5$  micrometers It corresponds and they are a pitch  $p= 2$  and  $6$  or  $10$  micrometers, respectively. It is carrying out. Therefore, each numerical aperture is about 1/4. The data of the bore diameter 0 of drawing are the thing of the example of a comparison shown in drawing 16 - drawing 19. This result to  $a= 3$  micrometers It is a case with brightness almost equivalent to the example of a comparison.  $a= 5$  micrometers Also to a case, it is 1-3 micrometers about spacing of a hole. If it is made small and a numerical aperture is enlarged, it is possible to obtain bigger brightness than the example of a comparison. However, if a not much large numerical aperture is taken, since the resistance of the up electrode 15 will become large, it is desirable to enlarge in the range in which the increment in resistance does not become a problem.

[0028] It is 1 micrometer about the magnitude of the data of drawing 20 to a hole. It is expected the following, then that the emission current increases further. Then,  $a= 1$  micrometer Simulation of equipotential-line distribution including the following cases was performed. The data is shown in drawing 21 and drawing 22. drawing 21 (a) --  $a= 2$  micrometers  $p= 3$  micrometers a case -- drawing 21 (b) --  $a= 1$  micrometer It is the case of  $p= 2$  micrometers. Moreover, drawing 22 (a), (b), and (c) are  $a= 0.5$  micrometers. 0.2 micrometers 0.1 micrometers It carries out and is all 2 micrometers about a pitch  $p$ . It is the case where it carries out. An insulating layer 13 and the electronic acceleration layer 14 are collectively simplified as the same insulating layer, and such simulation searches for the equipotential-line distribution between the up electrode 15 and the lower electrode 12.

[0029] the above simulation data to  $a= 2$  micrometers a case -- a hole -- the equipotential line -- almost -- the exterior (vacuum) -- jumping out -- \*\*\*\* -- the interior of a hole -- electric field are small compared with directly under [ up electrode ], therefore its electron emission from the periphery of a hole increases in this case. As for the electric field of the center of a hole, it turns out that the electric field directly under an up electrode are approached, and the electron emission from a hole becomes large, so that magnitude of a hole is made small.

[0030] the data of drawing 20 to a numerical aperture -- taking into consideration --  $a= 5$

micrometers up to -- if it is effective -- this time -- the sum total thickness of an insulating layer 13 and the electronic acceleration layer 14, i.e., the thickness between the up electrode 15 and the lower electrode 12, -- b= 1 micrometer it is -- since -- a/b is 5. Even if it expands or reduces the size of a component, with the whole configuration held, since equipotential-line distribution does not change, when acquiring the emission current with bigger setting it as the range of a/b<=5 than before, it turns out that it is desirable. The minimum of a/b is decided by the working limit.

[0031] Moreover, the thickness of the up electrode 15 can be borne also at about 100nm, then an about 400-degree C elevated-temperature process. The field emission component by the example 1 was made to counter an anode plate with a fluorescence layer concretely, it closed with low melting glass, and the display was made as an experiment. 400-degree-C heating performed glass closure in N2 gas. In addition, after carrying out evacuation of the glass tube using every \*\* with picking, and this glass tube beforehand, the vacuum lock was carried out to the anode plate side by burning off a glass tube by the burner. Consequently, luminescence by electron emission was checked and it was checked that the up electrode keeps the flow normal. Although the up electrode made the display from the same conditions using the component of the above-mentioned example of a comparison which is 10nm, operating having become impossible, and the up electrode Au having condensed as a result of analysis, and having lost the electrode function was checked.

[0032] In this invention, if an up electrode is made thin, the emission current will increase from the ability to count also upon the electron emission which penetrated the up electrode more. Therefore, it is desirable to make an up electrode as thin as possible in the range which can be equal to heat-treatment of about 400 degrees C. Moreover, in the example explained so far, although considered as the condition that the electronic acceleration layer 14 is exposed at the pars basilaris ossis occipitalis of the hole 16 established in the up electrode 15, it is not necessarily required to etch thoroughly the electrode material of the pars basilaris ossis occipitalis of a hole 16, for example in an example 1. In order for being referred to as 7nm or less not to bar the electron emission from a hole 16, it is important for the electrode layer which it leaves to the pars basilaris ossis occipitalis of a hole 16, by leaving an electrode layer in this range, the electric field between the up electrode 15 of a hole 16 and the lower electrode 12 increase, and, as a result, it can expect the increment in the emission current.

[0033] Some examples of further others of this invention are explained. Drawing 23 forms 7nm or less Au film 15b 10nm or less by the spatter preferably on the whole surface anew, after forming the up electrode 15 in which the hole 16 was formed by the approach of an example 1. As explained previously, it can leave an electrode layer to a pars basilaris ossis occipitalis at the etching process which makes a hole 16, but in case it leaves the film 10nm or less, it is difficult to fulfill enough the homogeneity within a field, the homogeneity between substrates, lot-to-lot homogeneity, etc. If it etches like this example until it exposes the pars basilaris ossis occipitalis of a hole 16 thoroughly, and conductive electrode layers, such as Au of 10nm or less of thickness, are anew formed on the whole surface by the spatter, the electrode layer thickness inside a hole 16 is controllable with a sufficient precision. In this case, in the interior of a hole 16, the lower ZnS layer 14 is not covered altogether, but as shown in drawing 23 (b), it has island structure 16a which Au condensed, the ZnS layer 14 is exposed in part, and as shown in drawing 23 (c) from that exposed ZnS layer 14, an electron is emitted. Therefore, after forming a hole 16 so that the ZnS layer 14 may be exposed thoroughly, even if it deposits the film of 10nm or less of thickness on a hole 16, an electron can be made to emit similarly substantially as compared with the case where an electron is made to emit, after the pars basilaris ossis occipitalis of a hole 16 has been thoroughly exposed.

[0034] Drawing 24 is the example which was made to perform taper etching to the up electrode 15, and shows the process following the process of drawing 4 (b) of an example 1. A resist pattern 17 is the positive resist of for example, a novolak system, after it develops this with an alkali developer, performs 180 degrees C and heat-treatment for 90 seconds with a hot plate, and carries out a reflow of the resist pattern 17 (drawing 24 (a)). Thus, if ion milling of the Au up electrode 15 is carried out using the resist pattern 17 which carried out a reflow, the up electrode 15 by which the taper rolling was carried out can be obtained (drawing 24 (b)). Au film 15a may be further deposited by the spatter in 10nm or less after that (drawing 24 (c)).

[0035] Next, some methods of adjusting the magnitude and the numerical aperture of a hole 16 of the

up electrode 15 are explained. It is 0.5 micrometers of diameters of an aperture 18 about a resist pattern 17 at the process of drawing 4 (b) of an example 1. Pitch 1micrometer Suppose that it formed. Then, if a resist is etched isotropic by O<sub>2</sub> Usher, the path of an aperture 18 can be enlarged. Specifically, it is 0.8 micrometers about an aperture 18. It expands to a path. The up electrode 15 is etched at the same process as an example 1 after that. It is possible to make the numerical aperture of the up electrode 15 large about 2.5 times from about 0.2 to about 0.5 by this approach.

[0036] Drawing 25 and drawing 26 are the approaches of using silicon oxide as an etching-proof mask of the up electrode 15. About 200nm of silicon oxide 21 is deposited on the up electrode 15 after the process of drawing 4 (a) of an example 1 (drawing 25 (a)). Furthermore, on silicon oxide 21, a novolak system positive resist is used and a resist pattern 22 is formed (drawing 25 (b)). And silicon oxide 21 is etched isotropic using buffer fluoric acid (HF+NH<sub>4</sub>F) (drawing 25 (c)). And a resist pattern 22 is exfoliated (drawing 26 (a)), taper etching of the up electrode 15 is carried out by ion milling by using as a mask the silicon oxide 21 to which opening became thin after that, and a hole 16 is made (drawing 26 (b)). Etching clearance of the silicon oxide 21 is carried out by buffer fluoric acid at the last (drawing 26 (c)).

[0037] Also by this approach, adjustment of the magnitude of the hole 16 of the up electrode 15 or a numerical aperture can be performed. What is necessary is just to make small thickness of the silicon oxide 21 which is sacrifice film, in order to enlarge a numerical aperture. If thickness of silicon oxide 21 is made small, the area of the taper section of the up electrode 15 processed will decrease. Instead of silicon oxide 21, silicide film, such as metal membranes, such as semi-conductor film, such as other insulator layers, such as a silicon nitride and alumite, polycrystalline silicon, an amorphous silicon, and germanium, and aluminum, Cu, nickel, Mo, WSi, MoSi, NiSi, and TaSi, can also be used.

[0038] <A-HREF="/Tokujitu/tjitemdrw.ipdl?N0000=239&N0500=1E\_N/>?:>::?:>::?:>::?:>::?  
=?>::?:>::?:>::?:>::?:>::?:>::?:>::?:>::?:>::?:>::?:>::?:>::?:>::?:>::?:>::?:>::?  
=?>::?:>::?:>::?:>::?:>::?:>::?:>::?:>::?:>::?:>::?:>::?:>::?:>::?:>::?:>::?

[Translation done.]

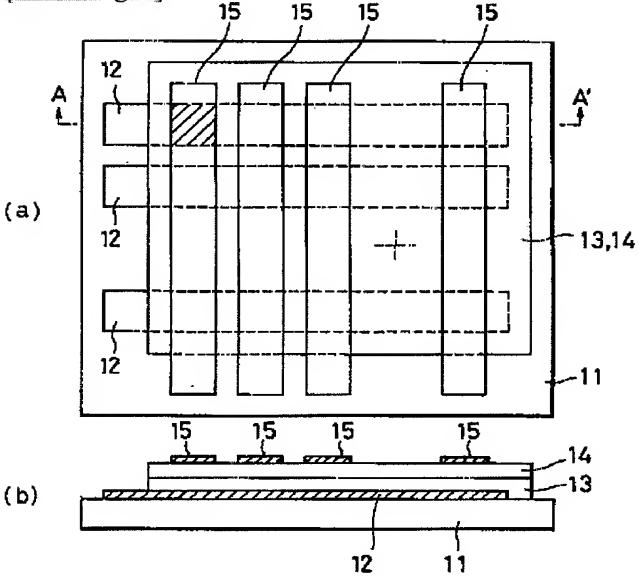
## \* NOTICES \*

JPO and INPIT are not responsible for any damages caused by the use of this translation.

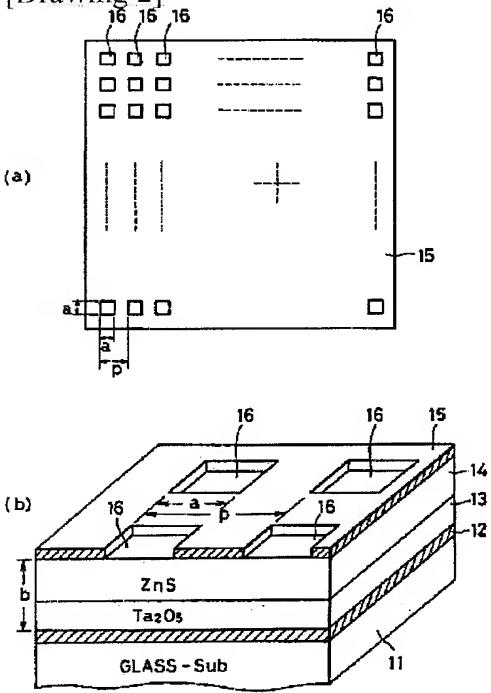
1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

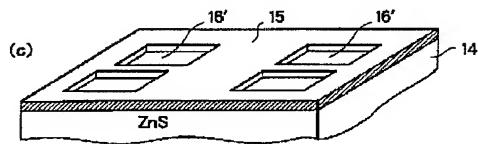
## DRAWINGS

[Drawing 1]

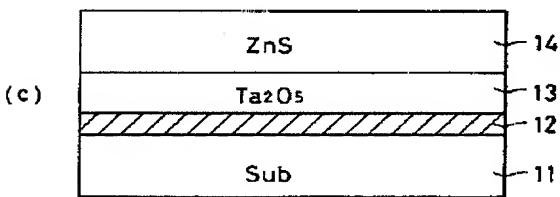
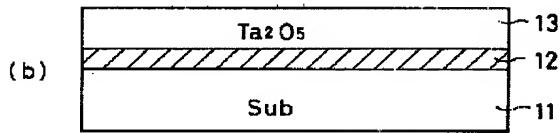
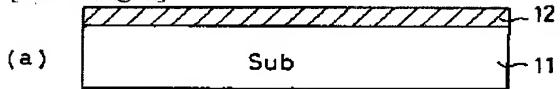


[Drawing 2]

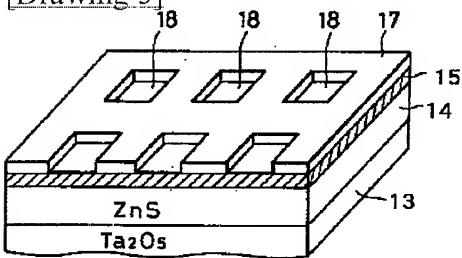




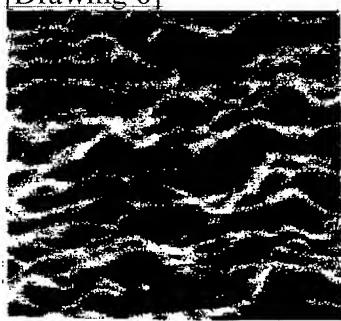
[Drawing 3]



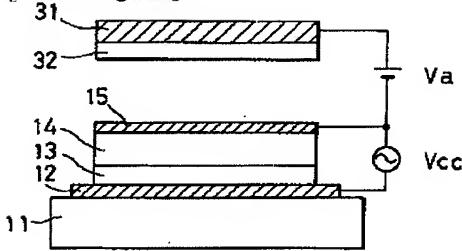
[Drawing 5]



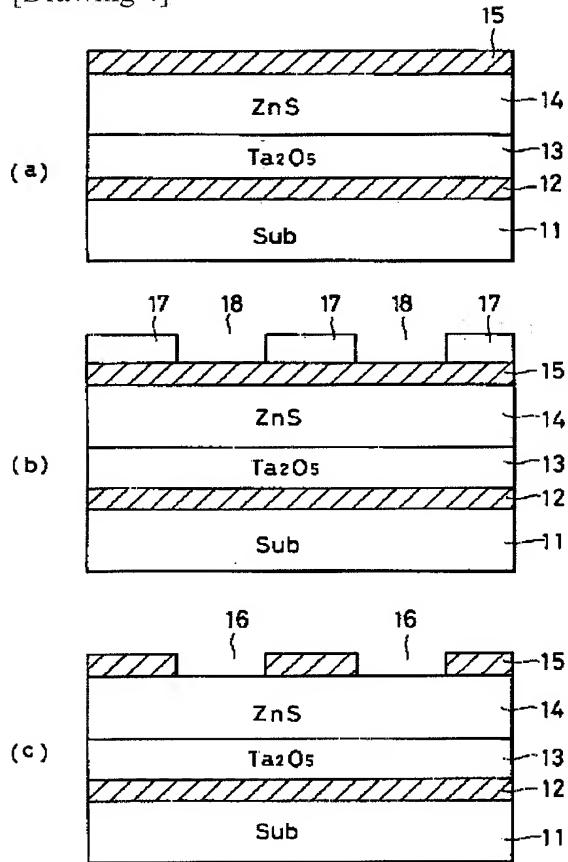
[Drawing 8]



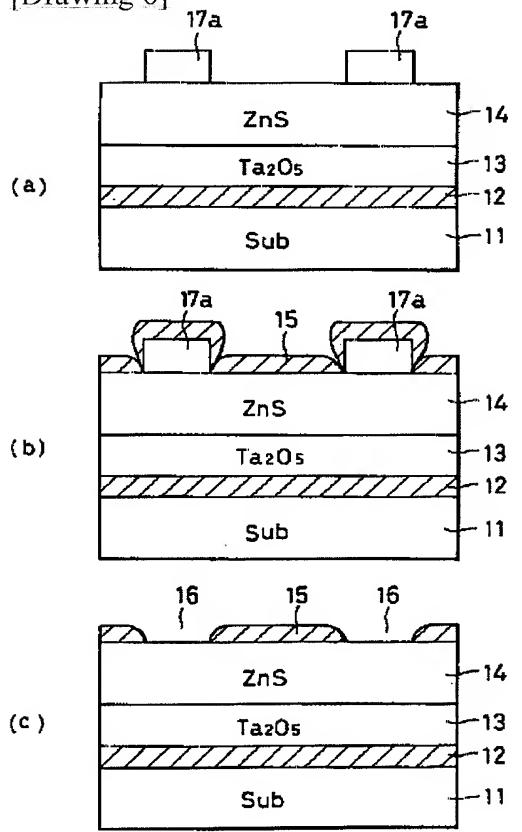
[Drawing 13]



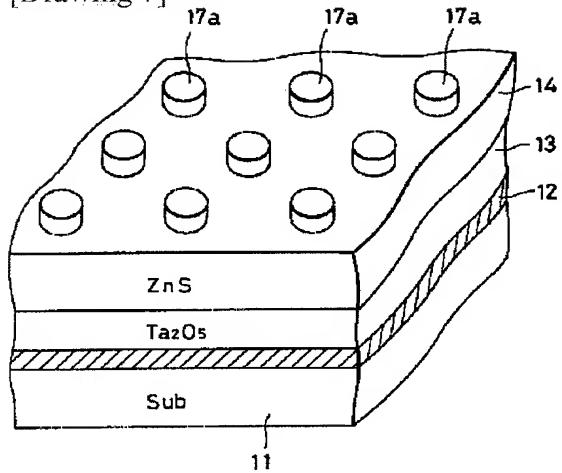
[Drawing 4]



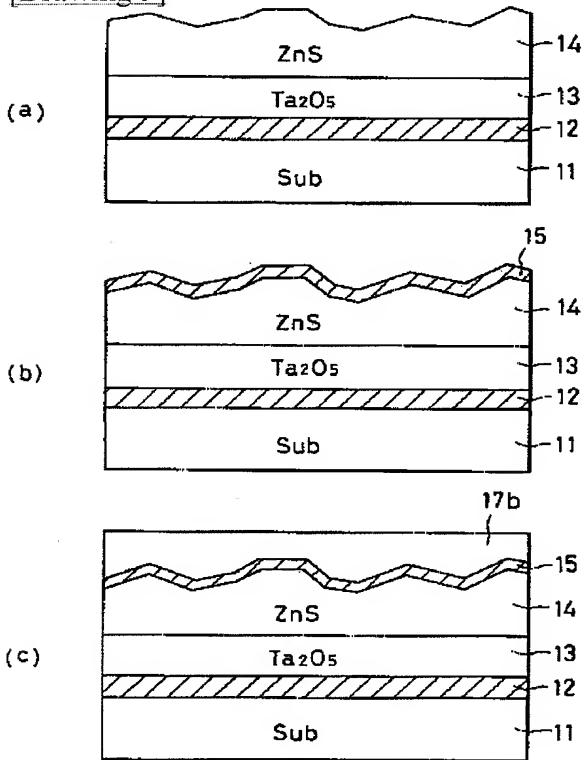
[Drawing 6]



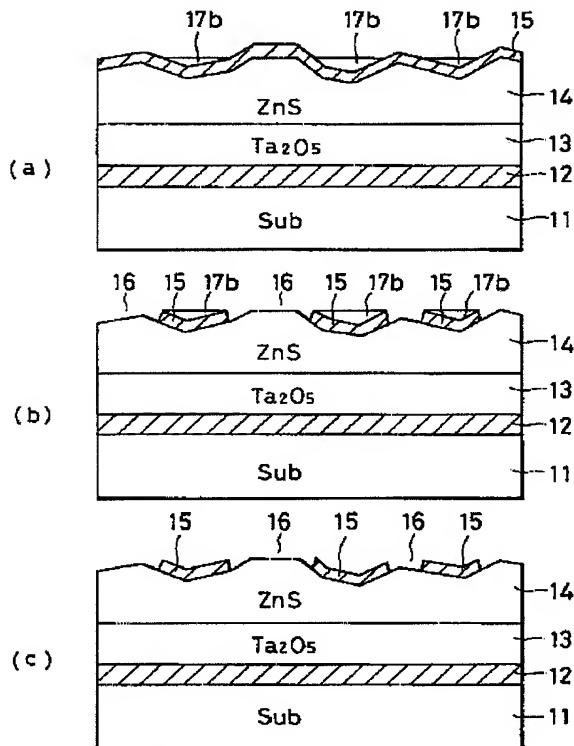
[Drawing 7]



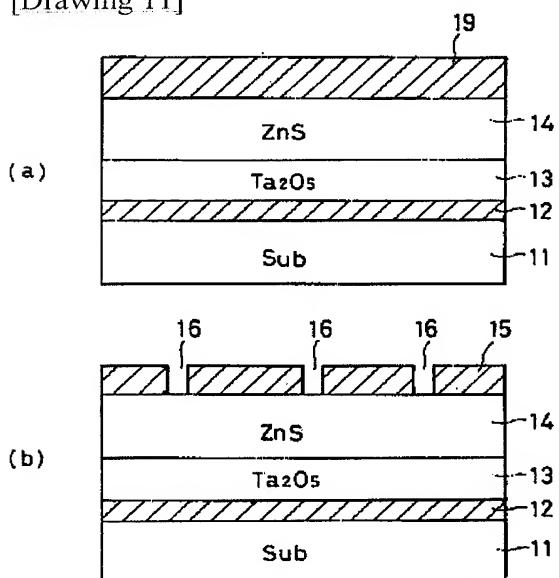
[Drawing 9]



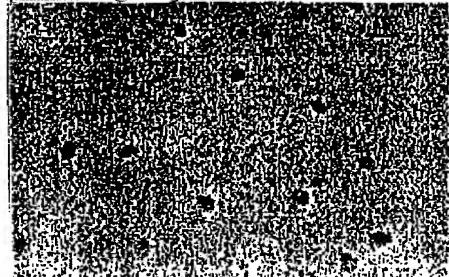
[Drawing 10]



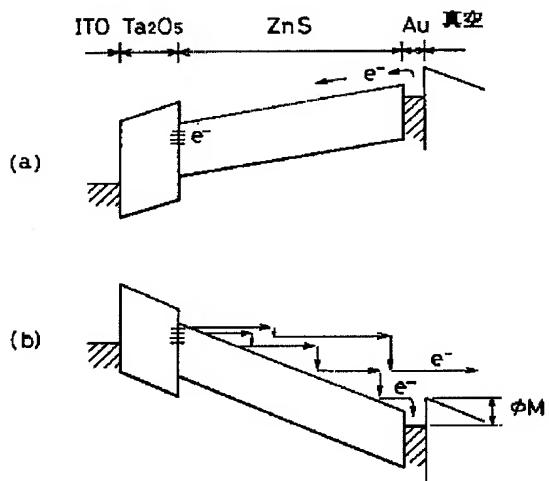
[Drawing 11]



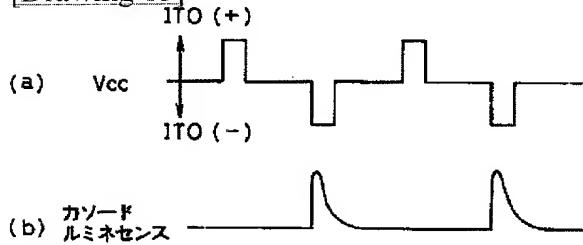
[Drawing 12]



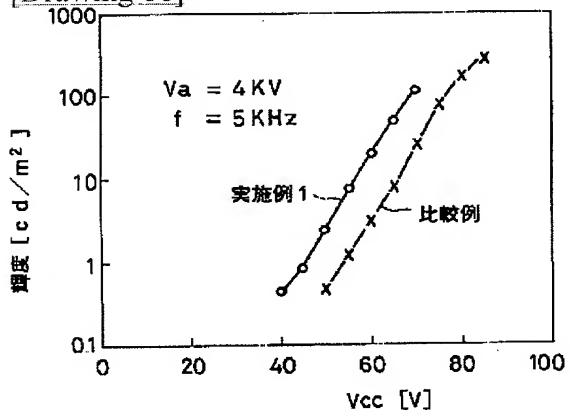
[Drawing 14]



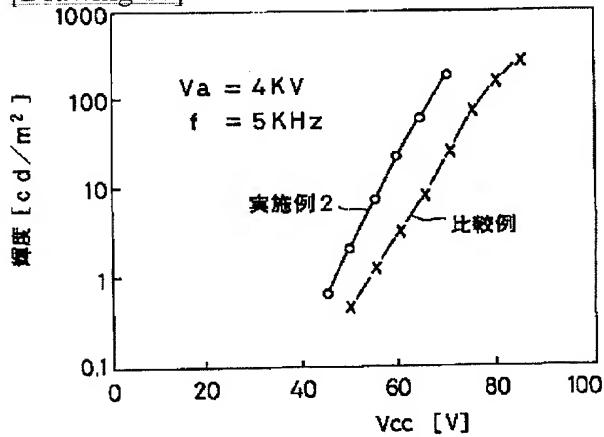
[Drawing 15]



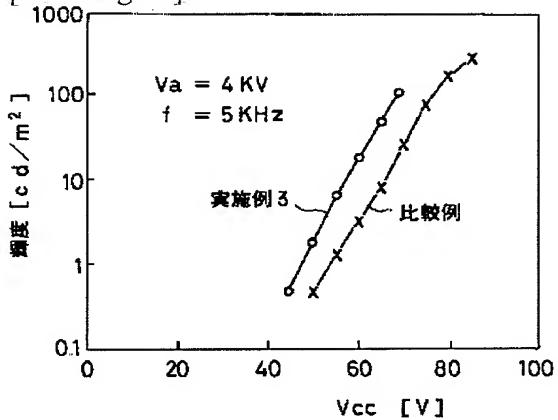
[Drawing 16]



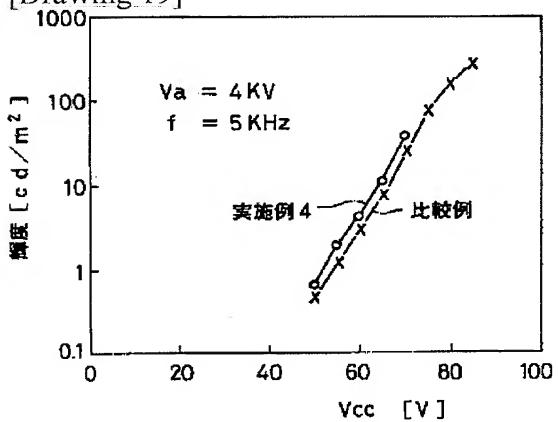
[Drawing 17]



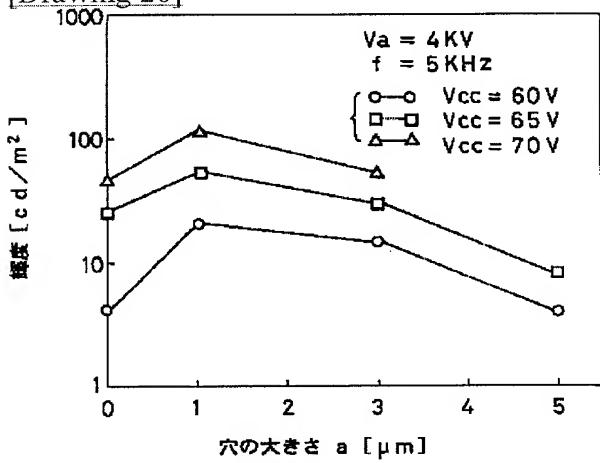
[Drawing 18]



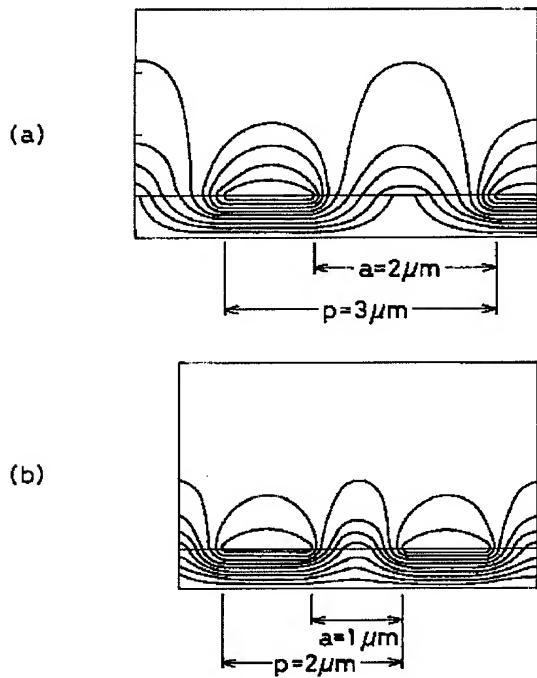
[Drawing 19]



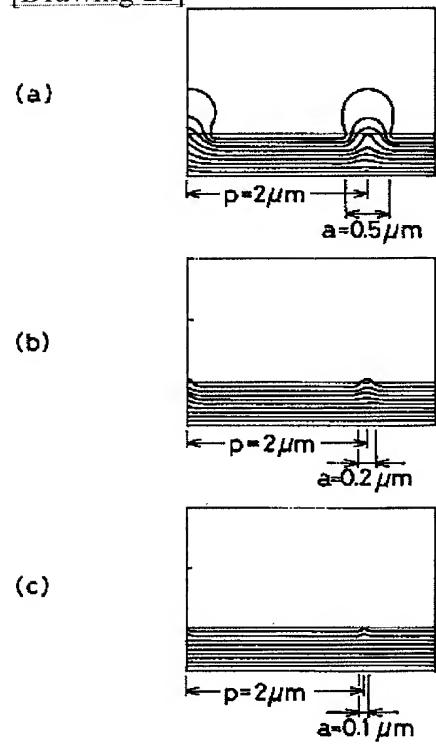
[Drawing 20]



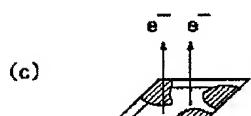
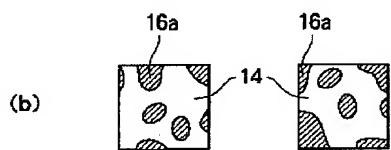
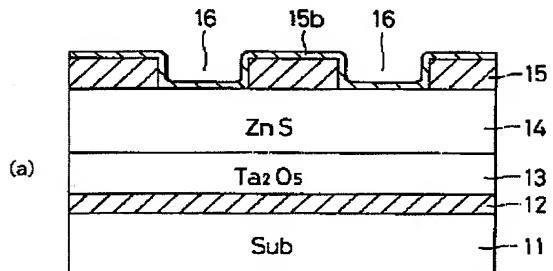
[Drawing 21]



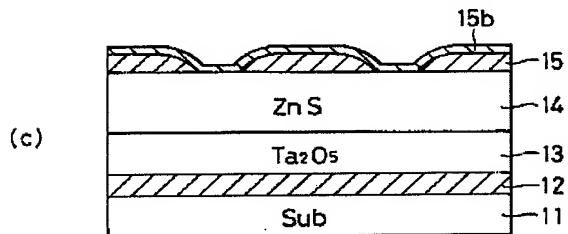
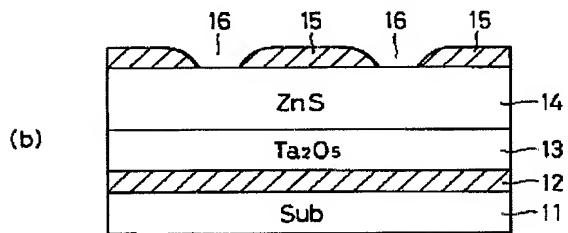
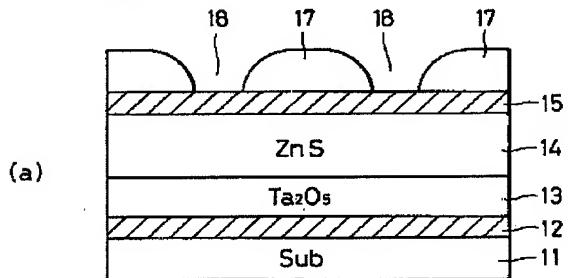
[Drawing 22]



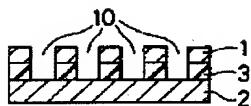
[Drawing 23]



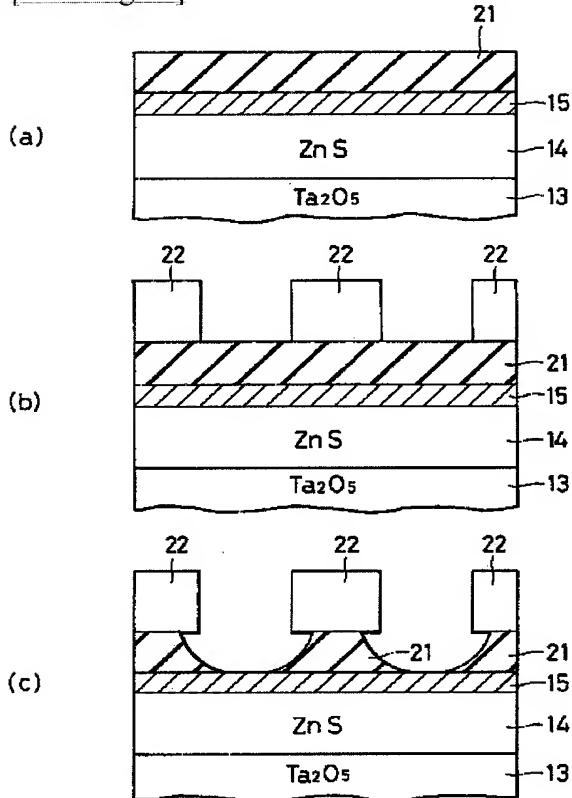
[Drawing 24]



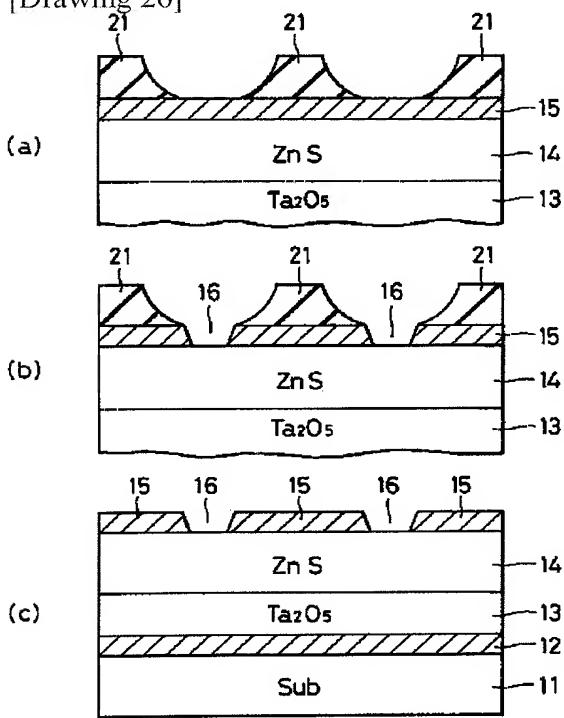
[Drawing 34]



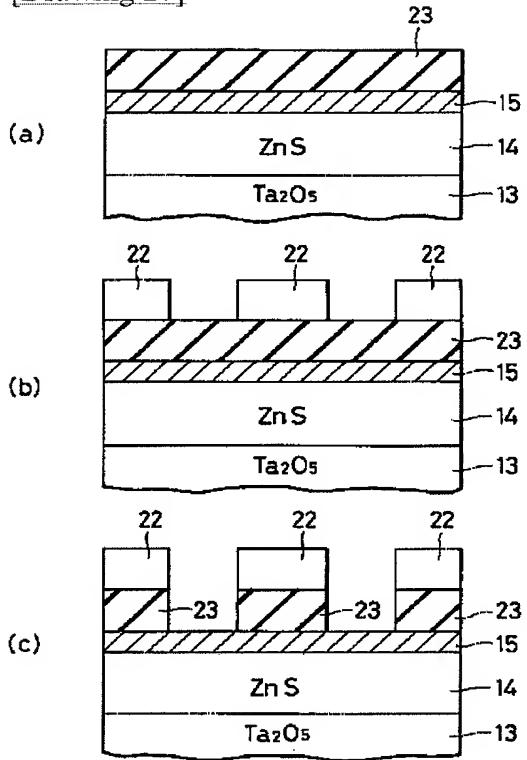
[Drawing 25]



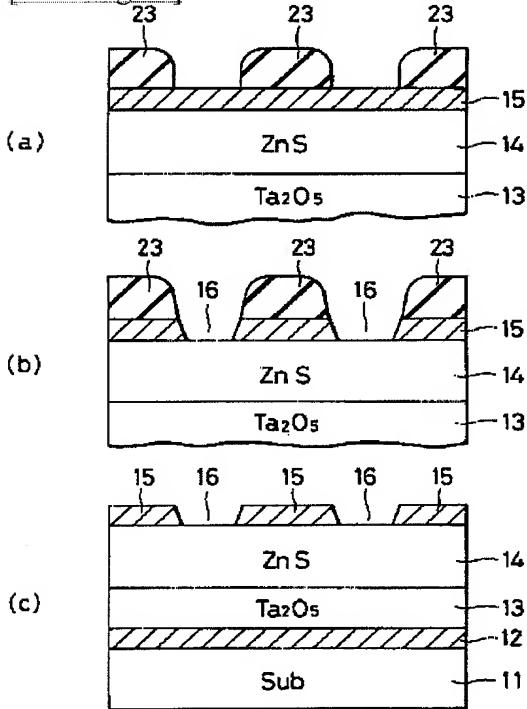
[Drawing 26]



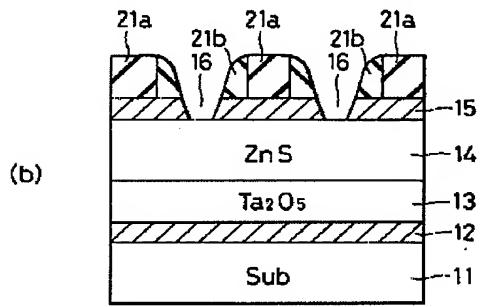
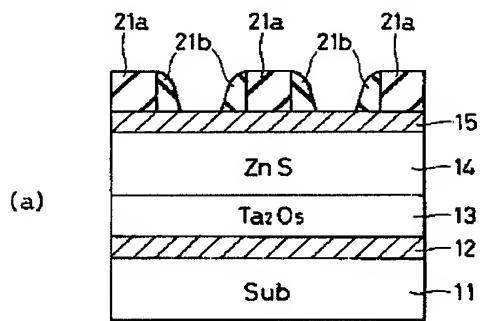
[Drawing 27]



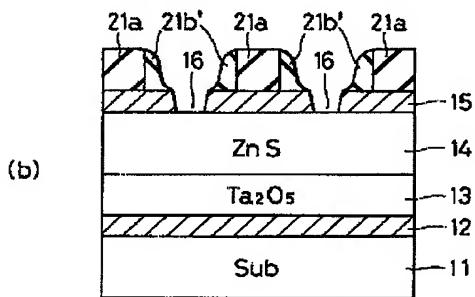
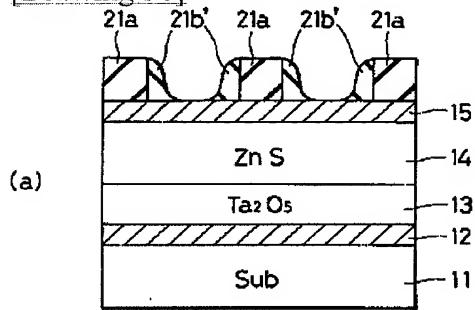
[Drawing 28]



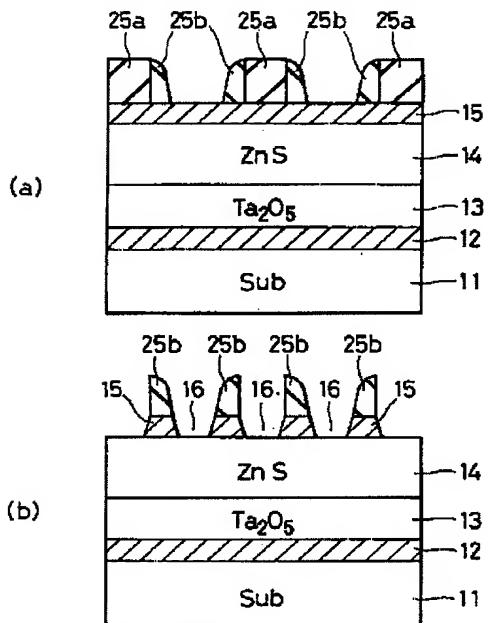
[Drawing 29]



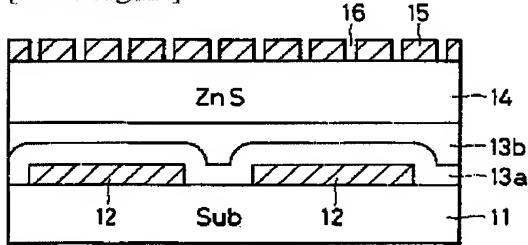
[Drawing 30]



[Drawing 31]

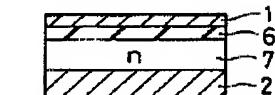
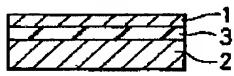


[Drawing 32]

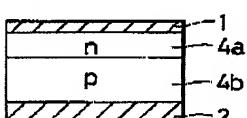


[Drawing 33]

(a) MIM 素子



(b) PN接合素子



(c) ショットキ接合素子



[Translation done.]